SC8F6780_6790用户手册

增强型闪存8位CMOS单片机

Rev. 1.9.3

请注意以下有关CMS知识产权政策

*中微半导体（深圳）股份有限公司（以下简称本公司）已申请了专利，享有绝对的合法权益。与本公司MCU或其他产品有关的专利权并未被同意授权使用，任何经由不当手段侵害本公司专利权的公司、组织或个人，本公司将采取一切可能的法律行动，遏止侵权者不当的侵权行为，并追讨本公司因侵权行为所受的损失、或侵权者所得的不法利益。

*中微半导体（深圳）股份有限公司的名称和标识都是本公司的注册商标。

*本公司保留对规格书中产品在可靠性、功能和设计方面的改进作进一步说明的权利。然而本公司对于规格内容的使用不负责任。文中提到的应用其目的仅仅是用来做说明，本公司不保证和不表示这些应用没有更深入的修改就能适用，也不推荐它的产品使用在会由于故障或其它原因可能会对人身造成危害的地方。本公司的产品不授权适用于救生、维生器件或系统中作为关键器件。本公司拥有不事先通知而修改产品的权利，对于最新的信息，请参考官方网站 www.mcu.com.cn。

目录

1. 产品概述 9
1.1 功能特性 9
1.2 系统结构框图 10
1.3 管脚分布 11
1.3.1 SC8F6780 引脚图 11
1.3.2 SC8F6790（TSSOP20）引脚图 12
1.3.3 SC8F6790（QFN20）引脚图 13
1.4 系统配置寄存器 15
1.5 在线串行编程 17
2. 中央处理器（CPU） 18
2.1 内存 18
2.1.1 程序内存 18
2.1.2 数据存储器 23
2.2 寻址方式 28
2.2.1 直接寻址 28
2.2.2 立即寻址 28
2.2.3 间接寻址 28
2.3 堆栈 29
2.4 工作寄存器（ACC） 30
2.4.1 概述 30
2.4.2 ACC 应用 30
2.5 程序状态寄存器（STATUS） 31
2.6 预分频器（OPTION_REG） 33
2.7 程序计数器（PC） 35
2.8 看门狗计数器（WDT） 36
2.8.1 WDT 周期 36
2.8.2 看门狗定时器控制 36
3. 系统时钟 37
3.1 概述 37
3.2 系统振荡器 38
3.2.1 内部 RC 振荡 38
3.3 起振时间 38
3.4 振荡器控制寄存器 38
3.5 时钟框图 39
4. 复位 40
4.1 上电复位 40
4.2 掉电复位 41
4.2.1 掉电复位概述 41

4.2.2 掉电复位的改进办法 42
4.3 看门狗复位 42
5. 休眠模式 43
5.1 进入休眠模式 43
5.2 从休眠状态唤醒 43
5.3 使用中断唤醒 44
5.4 休眠模式应用举例 44
5.5 休眠模式唤醒时间 44
6. I/O 端口 45
6.1 I/O 概述 45
6.2 PORTA 49
6.2.1 PORTA 数据及方向控制 49
6.2.2 PORTA 模拟选择控制 50
6.2.3 PORTA 上拉电阻 50
6.2.4 PORTA 下拉电阻 51
6.2.5 PORTA 电平变化中断 51
6.3 PORTB 52
6.3.1 PORTB 数据及方向 52
6.3.2 PORTB 模拟选择控制 53
6.3.3 PORTB 下拉电阻 53
6.3.4 PORTB 上拉电阻 54
6.3.5 PORTB 电平变化中断 54
6.4 PORTC 55
6.4.1 PORTC 数据及方向 55
6.4.2 PORTC 模拟选择控制 56
6.4.3 PORTC 下拉电阻 56
6.4.4 PORTC 上拉电阻 57
6.4.5 PORTC 电平变化中断 57
6.5 I/O 使用 58
6.5.1 写 I/O 口 58
6.5.2 读 I/O 口 58
6.6 I/O 口使用注意事项 59
7. 中断 60
7.1 中断概述 60
7.2 中断控制寄存器 61
7.2.1 中断控制寄存器 61
7.2.2 外设中断允许寄存器 62
7.2.3 外设中断请求寄存器 64
7.3 中断现场的保护方法 66
7.4 中断的优先级，及多中断嵌套 66

8. 定时计数器 TIMER0 67
8.1 定时计数器 TIMER0 概述 67
8.2 TIMER0 的工作原理 68
8.2.1 8 位定时器模式 68
8.2.2 8 位计数器模式 68
8.2.3 软件可编程预分频器 68
8.2.4 在 TIMER0 和 WDT 模块间切换预分频器 69
8.2.5 TIMER0 中断 69
8.3 与 TIMER0 相关寄存器 70
9. 定时计数器 TIMER1 71
9.1 TIMER1 概述 71
9.2 TIMER1 的工作原理 72
9.3 时钟源选择 72
9.3.1 内部时钟源 72
9.3.2 外部时钟源 73
9.4 TIMER1 预分频器 74
9.5 TIMER1 振荡器 74
9.6 在异步计数器模式下的 TIMER1 工作原理 74
9.6.1 异步计数器模式下对 TIMER1 的读写操作 74
9.7 TIMER1 门控 75
9.8 TIMER1 中断 75
9.9 休眠期间的 TIMER1 工作原理 75
9.10 TIMER1 控制寄存器 76
10. 定时计数器 TIMER2 77
10.1 TIMER2 概述 77
10.2 TIMER2 的工作原理 78
10.3 TIMER2 相关的寄存器 79
11. 模数转换（ADC） 80
11.1 ADC 概述 80
11.2 ADC 配置 81
11.2.1 端口配置 81
11.2.2 通道选择 81
11.2.3 ADC 内部基准电压 81
11.2.4 ADC 参考电压 81
11.2.5 转换时钟 82
11.2.6 ADC 中断 82
11.2.7 结果格式化 82
11.3 ADC 工作原理 83
11.3.1 启动转换 83

11.3.2 完成转换 83
11.3.3 终止转换 83
11.3.4 ADC 在休眠模式下的工作原理 83
11.3.5 AD 转换步骤 84
11.4 ADC 相关寄存器 85
12. LCD 驱动模块 88
12.1 LCD 概述 88
12.2 LCD 功能使能 88
12.3 LCD 相关寄存器 88
12.4 LCD 操作说明 91
12.4.1 1/3 Bias 寄存器操作 91
12.4.2 1/3 Bias 时序图 92
12.4.3 1/2 Bias 寄存器操作 92
12.4.4 1/2 Bias 时序图 93
13. PWM 模块 94
13.1 PWM 概述 94
13.2 相关寄存器说明 94
13.3 PWM 周期 100
13.3.1 PWM 共用周期 100
13.3.2 PWM4 独立周期 100
13.4 PWM 占空比 101
13.5 系统时钟频率的改变 101
13.6 可编程的死区延时模式 102
13.7 PWM 设置 102
14. BUZZER 模块 103
14.1 BUZZER 概述 103
14.2 相关寄存器 104
14.3 BUZZER 周期 104
14.4 BUZ 设置 104
15. 程序 EEPROM 和程序存储器控制 105
15.1 概述 105
15.2 相关寄存器 106
15.2.1 EEADR 和 EEADRH 寄存器 106
15.2.2 EECON1 和 EECON2 寄存器 106
15.3 读程序 EEPROM 108
15.4 写程序 EEPROM 109
15.5 读程序存储器 110
15.6 写程序存储器 110
15.7 程序 EEPROM 操作注意事项 111

15.7.1 关于程序 EEPROM 的烧写时间 111
15.7.2 写校验 111
15.7.3 避免误写的保护 111
16. 运算放大器(OPA0 和 OPA1) 112
16.1 OPAx 概述 112
16.1.1 OPAx 使能 112
16.1.2 OPAx 端口选择 112
16.1.3 OPAx 工作模式 113
16.2 OPAx 相关寄存器 114
17. LVD 低电压检测 117
17.1 LVD 模块概述 117
17.2 LVD 相关的寄存器 117
17.3 LVD 操作 117
18. 通用同步/异步收发器（USART） 118
18.1 USART 异步模式 120
18.1.1 USART 异步发生器 120
18.1.2 USART 异步接收器 123
18.2 异步操作时的时钟准确度 126
18.3 USART 相关寄存器 126
18.4 USART 波特率发生器（BRG） 128
18.5 USART 同步模式 129
18.5.1 同步主控模式 129
18.5.2 同步从动模式 133
19. SPI 模块 134
19.1 SPI 模块概述 134
19.2 SPI 相关寄存器 135
19.3 SPI 工作原理 137
19.4 使能 SPI I/O 138
19.5 主控模式 138
19.6 从动模式 140
19.7 从动选择同步 140
19.8 休眠操作 141
19.9 复位的影响 141
20. I²C 模块 142
20.1 I²C 模块概述 142
20.2 I2C 相关寄存器说明 143
20.3 主控模式 146
20.3.1 I²C 主控模式支持 146
20.3.2 波特率发生器 148

20.3.3 I²C 主控模式发送 149
20.3.4 I²C 主控模式接收 150
20.3.5 I²C 主控模式启动条件时序 152
20.3.6 I²C 主控模式重复启动条件时序 153
20.3.7 应答序列时序 154
20.3.8 停止条件序列 155
20.3.9 时钟仲裁 156
20.3.10 多主机模式 156
20.3.11 多主机通信、总线冲突与总线仲裁 157
20.4 从动模式 158
20.4.1 寻址 158
20.4.2 接收 158
20.4.3 发送 159
20.4.4 I2C 屏蔽寄存器 160
20.4.5 I2C 从动超时保护 160
20.5 休眠模式下的操作 161
20.6 复位的影响 161
21. 触摸按键 162
21.1 触摸按键模块概述 162
21.2 与触摸按键相关的寄存器 163
21.3 触摸按键模块应用 165
21.3.1 用查询模式读取“按键数据值”流程 165
21.3.2 判断按键方法 166
21.4 触摸模块使用注意事项 167
22. 电气参数 168
22.1 极限参数 168
22.2 直流电气特性 169
22.3 ADC 电气特性 170
22.4 ADC 内部 LDO 参考电压特性 170
22.5 OPA 电气特性 171
22.6 LVR 电气特性 172
22.7 LVD 电气特性 172
22.8 交流电气特性 173
22.9 EMC 特性 174
22.9.1 EFT 电气特性 174
22.9.2 ESD 电气特性 174
22.9.3 Latch-Up 电气特性 174
23. 指令 175
23.1 指令一览表 175

23.2 指令说明 177
24. 封装 193
24.1 SSOP20 193
24.2 TSSOP20 194
24.3 QFN20 195
25. 版本修订说明 196

1. 产品概述

1.1 功能特性

- 内存
  - ROM：4K×16Bit
  - 通用 RAM：336×8Bit
- 8 级堆栈缓存器
- 简洁实用的指令系统（68 条指令）
- 内置低压侦测电路
- 内置 WDT 定时器
- 中断源
  - 3 个定时中断
  - RA/RB/RC 口电平变化中断
  - 其它外设中断
- 定时器
  - 8 位定时器 TIMER0，TIMER2
  - 16 位定时器 TIMER1
  - TIMER1/TIMER2 可选择外部 32.768KHz 振荡时钟源
- 内置 LVD 模块
  - 支持多种电压 2.2V/2.4V/2.7V/3.0V/3.3V/3.7V/4.0V/4.3V
- 内置 1 路 IIC 通信模块
- 内置 1 路 SPI 通信模块
- 内置 1 路 USART 通信模块
  - 支持同步主从模式和异步全双工模式
- 内置 1 路 BUZ 模块
- 工作电压范围：3.0V~5.5V@16MHz/2T
  2.5V~5.5V@16MHz/4T or 8MHz/2T
  2.1V~5.5V@8MHz/4T
  工作温度范围：-40˚C~85˚C
- 内部 RC 振荡：设计频率 8MHz/16MHz
- 指令周期（单指令或双指令）
- 带互补输出的 PWM 模块
  - 5 路 PWM，可设置成 2 路互补输出
  - RB0/RB1，RB3/RB4 可使能 70mA 大电流驱动
  - 4 路 PWM 共用周期+1 路独立周期，独立占空比
- 高精度 12 位 ADC
  - 内建高精度 0.6V 基准电压
  - ±1.5% @VDD=2.5V~5.5V T_A=25˚C
  - ±2% @VDD=2.5V~5.5V T_A=-40˚C~85˚C
  - 可选择内部参考源：2V/2.4V/3.0V
- 内置 LCD 驱动模块
  - 所有 I/O 口都可选 SEG/ COM 输出
  - 所有 I/O 口都可选 1/2BIAS 或 1/3BIAS 输出
  - 所有 I/O 口驱动电流可选
- 内置 2 路高性能运放
- 内置触摸按键检测模块
- 内置 32 字节程序 EEPROM
  - 可重复烧写 10 万次

型号说明

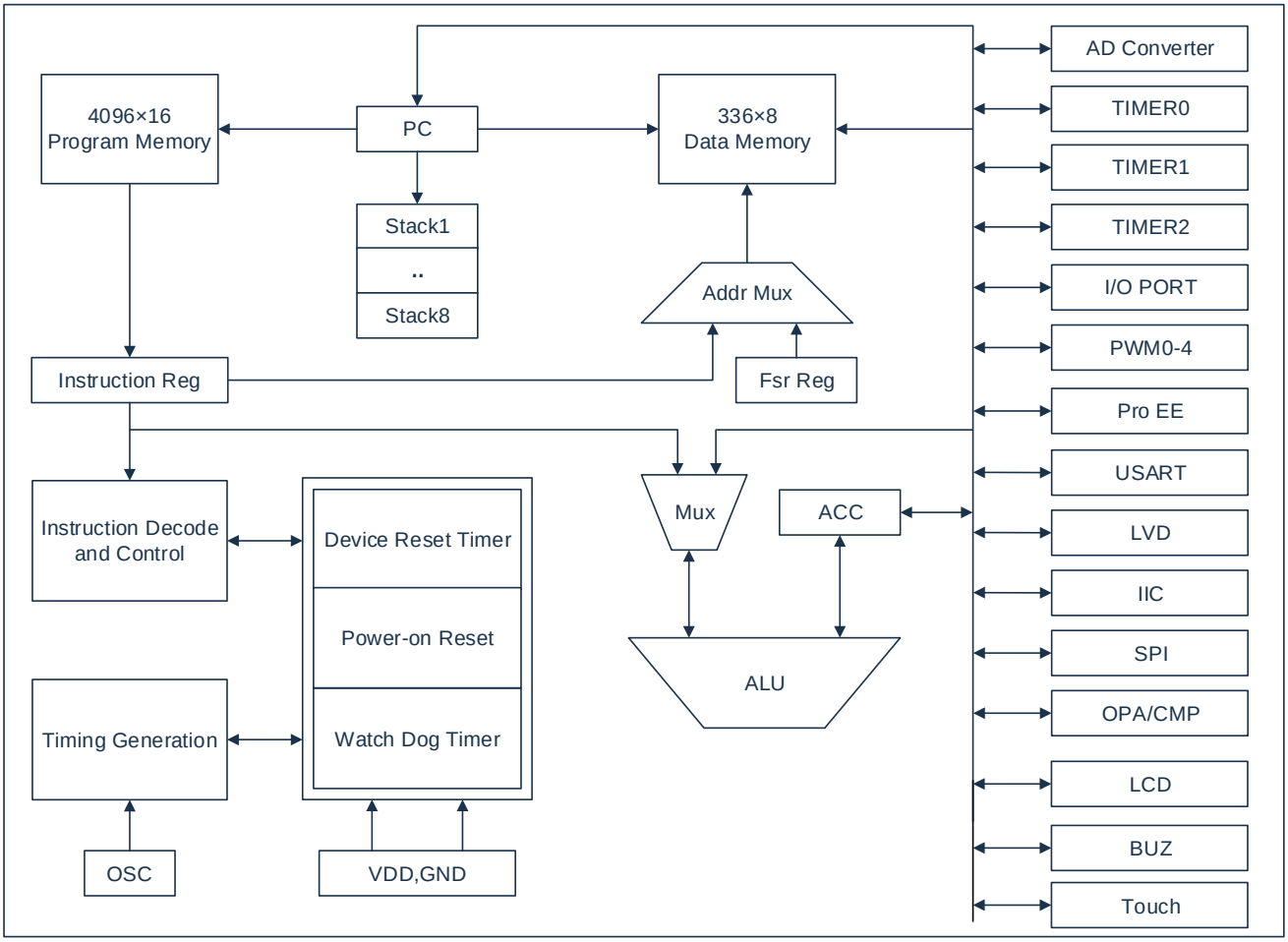
PRODUCT	ROM	Pro EE	RAM	LCD	I/O	OPA/ CMP	ADC	Touch	PACKAGE
SC8F6780	4Kx16	32x16	336x8	1/2Bias1/3Bias	18	2	18	8	SSOP20
SC8F6790	4Kx16	32x16	336x8	1/2Bias1/3Bias	18	2	18	8	QFN20/ TSSOP20

续上表

PRODUCT	USART	IIC	SPI	PWM	BUZ
SC8F6780	1	1	1	5	1
SC8F6790	1	1	1	5	1

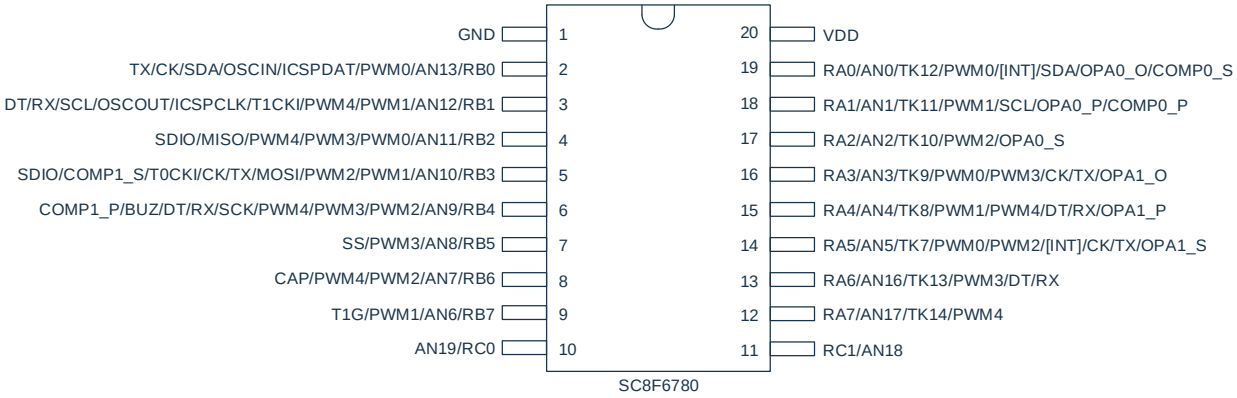
注：ROM----程序存储器　　Pro EE----程序EEPROM

1.2 系统结构框图

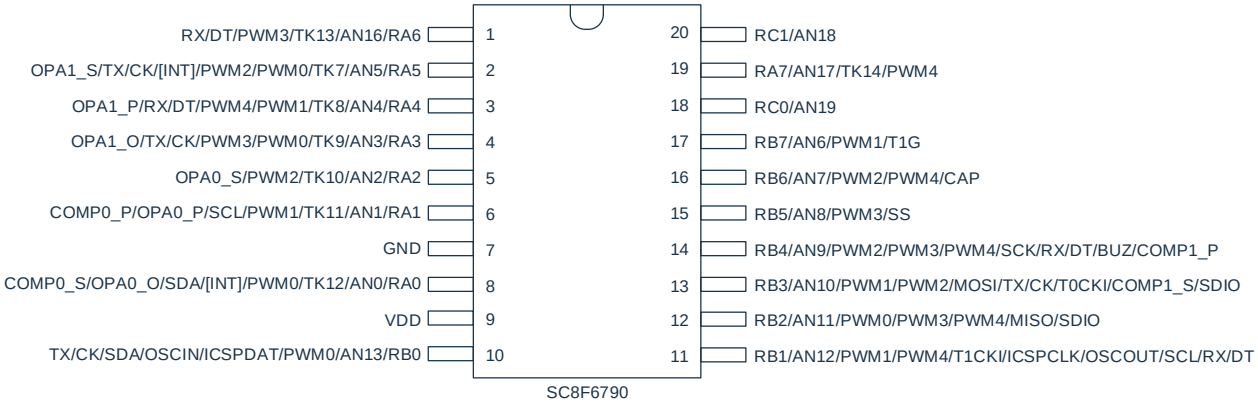

4096×16
Program Memory
PC
336×8
Data Memory
Stack1
..
Stack8
Addr Mux
Instruction Reg
Fsr Reg
Instruction Decode
and Control
Device Reset Timer
Power-on Reset
Watch Dog Timer
Mux
ACC
ALU
Timing Generation
OSC
VDD,GND
AD Converter
TIMER0
TIMER1
TIMER2
I/O PORT
PWM0-4
Pro EE
USART
LVD
IIC
SPI
OPA/CMP
LCD
BUZ
Touch

1.3 管脚分布

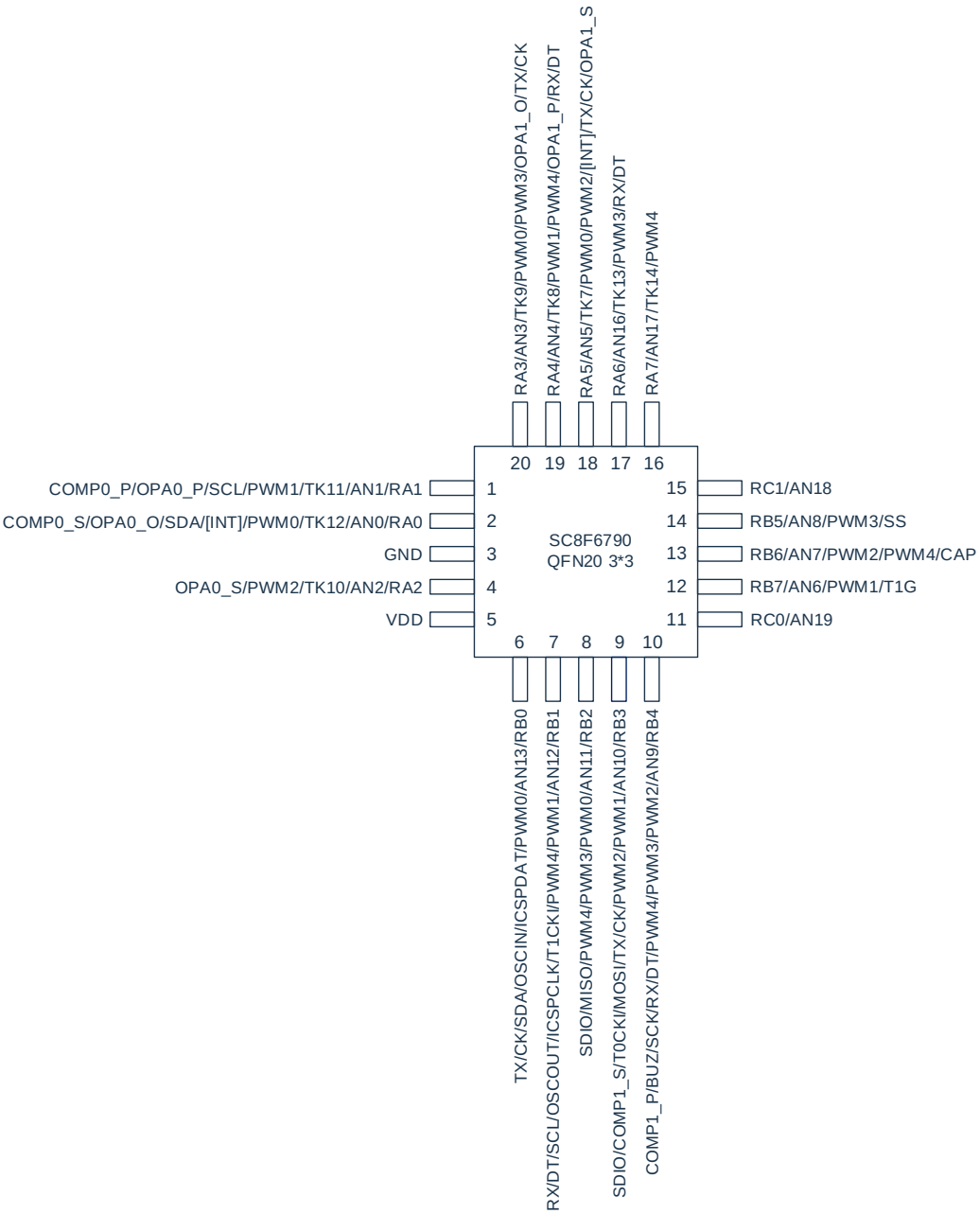
1.3.1 SC8F6780 引脚图



1.3.2 SC8F6790（TSSOP20）引脚图



1.3.3 SC8F6790（QFN20）引脚图



引脚说明：

管脚名称	IO 类型	管脚说明
VDD, GND	P	电源电压输入脚，接地脚
OSCIN/OSCOUT	I/O	32.768KHz 晶振输入/输出引脚
RA0-RA7	I/O	可编程为输入脚，推挽输出脚，带上拉电阻功能、带下拉电阻功能、电平变化中断功能
RB0-RB7	I/O	可编程为输入脚，推挽输出脚，带上拉电阻功能、带下拉电阻功能、电平变化中断功能
RC0-RC1	I/O	可编程为输入脚，推挽输出脚，带上拉电阻功能、带下拉电阻功能、电平变化中断功能
ICSPCLK	I	编程时钟输入脚
ICSPDAT	I/O	编程数据输入/输出脚
AN0-AN13 AN16-AN19	I	12 位 ADC 输入脚
TK7~TK14	I	触摸通道引脚
CAP	I	触摸电容引脚
PWM0-PWM4	O	PWM0-4 输出功能
TX/CK	O	异步串口发送引脚/同步串口时钟输入输出脚（可配置在不同 IO 口）
RX/DT	I	串口接收引脚/同步串口数据输入输出脚（可配置在不同 IO 口）
INT	I	外部中断输入脚
T0CKI	I	TIMER0 外部时钟输入脚
T1CKI	I	TIMER1 外部时钟输入脚
T1G	I	TIMER1 门控输入脚
SCL	I/O	IIC 时钟引脚
SDA	I/O	IIC 数据引脚
SCK	I/O	SPI 时钟引脚
SDIO	I/O	SPI 三线模式的串行数据输入/输出引脚（可配置在不同 IO 口）
MISO	I/O	SPI 主控数据输入、从动数据输出引脚
MOSI	I/O	SPI 主控数据输出、从动数据输入引脚
SS	I	SPI 从动使能引脚
COMPx_P	I	比较器输入正端
COMPx_S	I	比较器输入负端
OPAx_O	O	运算放大器输出脚
OPAx_P	I	运算放大器输入正端
OPAx_S	I	运算放大器输入负端
BUZ	O	BUZ 输出功能

1.4 系统配置寄存器

系统配置寄存器（CONFIG）是 MCU 初始条件的 ROM 选项。它只能被 SC 烧写器烧写，用户不能访问及操作。它包含了以下内容：

1. OSC（振荡方式选择）
   - INTRC8M　　F_{HSI} 选择内部 8MHz RC 振荡
   - INTRC16M　　F_{HSI} 选择内部 16MHz RC 振荡
2. WDT（看门狗选择）
   - ENABLE　　打开看门狗定时器
   - DISABLE　　关闭看门狗定时器
3. PROTECT（加密）
   - DISABLE　　Flash 代码不加密
   - ENABLE　　Flash 代码加密，加密后烧写/仿真器读出来的值将不确定
4. LVR_SEL（低压侦测电压选择）
   - 2.1V
   - 2.5V
   - 3.0V
5. F_{CPU}_DIV（指令时钟分频）
   - 4T　　4 分频，$F_{CPU}=F_{SYS}/4$
   - 2T　　2 分频，$F_{CPU}=F_{SYS}/2$
6. SLEEP_LVREN（休眠态 LVR 使能位）
   - DISABLE　　休眠态下 LVR 功能关闭
   - ENABLE　　休眠态下 LVR 功能打开
7. EXTINT_SEL（外部中断选择）
   - RA0　　选择 RA0 为外部中断口
   - RA5　　选择 RA5 为外部中断口
8. USART_SEL（USART 引脚选择）
   - RA5/RA6
   - RA3/RA4
   - RB3/RB4
   - RB0/RB1
9. IIC_SEL（IIC 引脚选择）
   - RA0/RA1
   - RB0/RB1
10. SPI_DIO_SEL（SPI3 线模式 DIO 引脚选择）
    - RB2
    - RB3
11. RB4_ISEL（RB4 电流选择）
    - 70mA　　RB4 推挽输出电流均为 70mA
    - Normal　　RB4 推挽输出为普通 IO 口电流
12. RB3_ISEL（RB3 电流选择）
    - 70mA　　RB3 推挽输出电流均为 70mA

- Normal　　RB3 推挽输出为普通 IO 口电流

13. RB1_ISEL（RB1 电流选择）
    - 70mA　　RB1 推挽输出电流均为 70mA
    - Normal　　RB1 推挽输出为普通 IO 口电流
14. RB0_ISEL（RB0 电流选择）
    - 70mA　　RB0 推挽输出电流均为 70mA
    - Normal　　RB0 推挽输出为普通 IO 口电流
15. BUZ_EN（BUZZER 模块使能）
    - ENABLE　　使能 BUZZER 模块，由 PWMCON2,BUZEN 控制输出使能
    - DISABLE　　禁止 BUZZER 模块
16. ICSPPORT_SEL（仿真口功能选择）
    - ICSP　　ICSPCLK、DAT 口一直保持为仿真口，所有功能均不能使用
    - NORMAL　　ICSPCLK、DAT 口为普通功能口

1.5 在线串行编程

可在最终应用电路中对单片机进行串行编程。编程可以简单地通过以下 4 根线完成：

- 电源线
- 接地线
- 数据线
- 时钟线

这使用户可使用未编程的器件制造电路板，而仅在产品交付前才对单片机进行编程。从而可以将最新版本的固件或者定制固件烧写到单片机中。

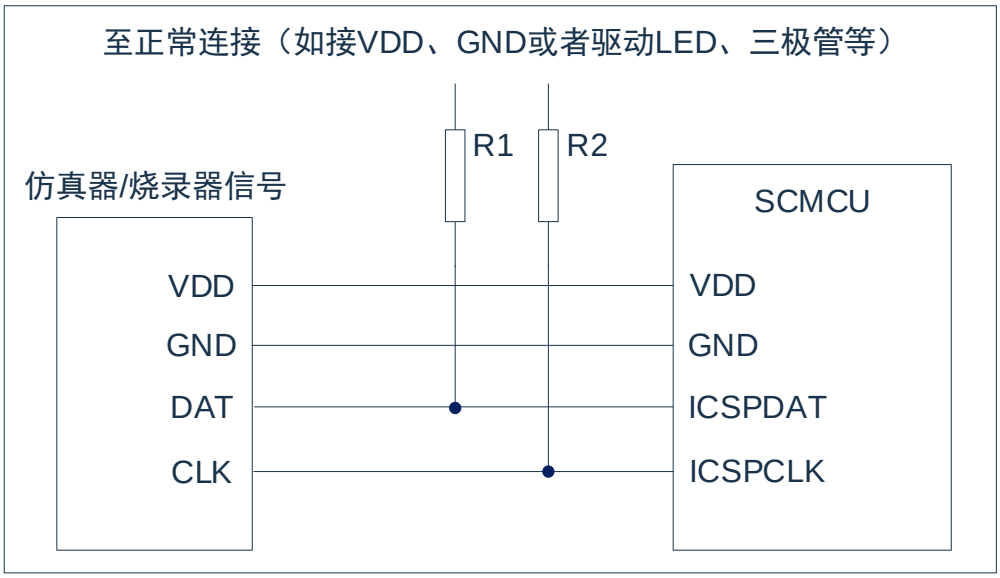


图 1-1：典型的在线串行编程连接方法

上图中，R1、R2 为电气隔离器件，常以电阻代替，其阻值如下：R1≥4.7K、R2≥4.7K。

2. 中央处理器（CPU）

2.1 内存

2.1.1 程序内存

程序存储器空间

ROM:4K

000H	复位向量	程序开始，跳转至用户程序
001H		
002H		
003H		
004H	中断向量	中断入口，用户中断程序
…		用户程序区
…		
…		
FFDH		
FFEH		
FFFH	跳转至复位向量000H	程序结束

2.1.1.1 复位向量（0000H）

单片机具有一个字长的系统复位向量（0000H）。具有以下 3 种复位方式：

- 上电复位
- 看门狗复位
- 低压复位（LVR）

发生上述任一种复位后，程序将从 0000H 处重新开始执行，系统寄存器也都将恢复为默认值。根据 STATUS 寄存器中的 PD 和 TO 标志位的内容可以判断系统复位方式。下面一段程序演示了如何定义 FLASH 中的复位向量。

例：定义复位向量

```
        ORG     0000H       ;系统复位向量
        JP      START
        ORG     0010H       ;用户程序起始
START:
        …                   ;用户程序
        …
        END                 ;程序结束
```

2.1.1.2 中断向量

中断向量地址为 0004H。一旦有中断响应，程序计数器 PC 的当前值就会存入堆栈缓存器并跳转到 0004H 开始执行中断服务程序。所有中断都会进入 0004H 这个中断向量，具体执行哪个中断将由用户根据中断请求标志位寄存器的位决定。下面的示例程序说明了如何编写中断服务程序。

例：定义中断向量，中断程序放在用户程序之后

```
            ORG     0000H           ;系统复位向量
            JP      START
            ORG     0004H           ;用户程序起始
INT_START:
            CALL    PUSH            ;保存 ACC 跟 STATUS
            ...                     ;用户中断程序
            ...
INT_BACK:
            CALL    POP             ;返回 ACC 跟 STATUS
            RETI                    ;中断返回
START:
            ...                     ;用户程序
            ...
            END                     ;程序结束
```

注：由于单片机并未提供专门的出栈、压栈指令，故用户需自己保护中断现场。

例：中断入口保护现场

```
PUSH:
            LD      ACC_BAK,A       ;保存 ACC 至自定义寄存器 ACC_BAK
            SWAPA   STATUS          ;状态寄存器 STATUS 高低半字节互换
            LD      STATUS_BAK,A    ;保存至自定义寄存器 STATUS_BAK
            RET                     ;返回
```

例：中断出口恢复现场

```
POP:
            SWAPA   STATUS_BAK      ;将保存至 STATUS_BAK 的数据高低半字节互换给 ACC
            LD      STATUS,A        ;将 ACC 的值给状态寄存器 STATUS
            SWAPR   ACC_BAK         ;将保存至 ACC_BAK 的数据高低半字节互换
            SWAPA   ACC_BAK         ;将保存至 ACC_BAK 的数据高低半字节互换给 ACC
            RET                     ;返回
```

2.1.1.3 查表

芯片具有查表功能，FLASH 空间的任何地址都可作为查表使用。

相关指令：

- TABLE [R]　　把表格内容的低字节送给寄存器 R，高字节送到寄存器 TABLE_DATAH。
- TABLEA　　把表格内容的低字节送给累加器 ACC，高字节送到寄存器 TABLE_DATAH。

相关寄存器：

- TABLE_SPH(197H)　　可读写寄存器，用来指明表格高 4 位地址。
- TABLE_SPL(196H)　　可读写寄存器，用来指明表格低 8 位地址。
- TABLE_DATAH(198H)　　只读寄存器，存放表格高字节内容。

注：在查表之前要先把表格地址写入 TABLE_SPH 和 TABLE_SPL 中。如果主程序和中断服务程序都用到查表指令，主程序中的 TABLE_SPH 的值可能会因为中断中执行的查表指令而发生变化，产生错误。也就是说要避免在主程序和中断服务程序中都使用查表指令。但如果必须这样做的话，我们可以在查表指令前先将中断禁止，在查表结束后再开放中断，以避免发生错误。

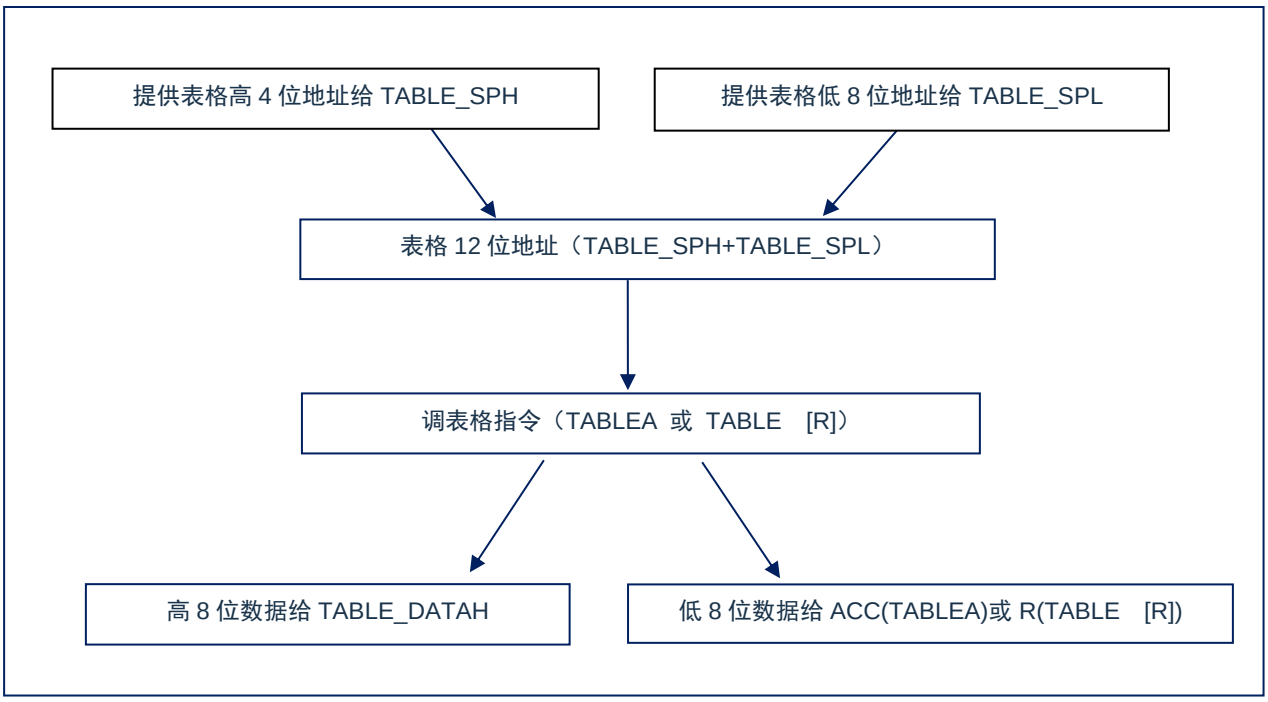


图2-1：表格调用的流程图

下面例子给出了如何在程序中调用表格。

```
...                                 ;上接用户程序
LDIA        02H                     ;表格低位地址
LD          TABLE_SPL,A
LDIA        06H                     ;表格高位地址
LD          TABLE_SPH,A
TABLE       R01                     ;表格指令，将表格低 8 位(56H)给自定义寄存器 R01
LD          A,TABLE_DATAH           ;将查表结果的高 8 位(34H)给累加器 ACC
LD          R02,A                   ;将 ACC 值(34H)给自定义寄存器 R02
...                                 ;用户程序

ORG         0600H                   ;表格起始地址
DW          1234H                   ;0600H 地址表格内容
DW          2345H                   ;0601H 地址表格内容
DW          3456H                   ;0602H 地址表格内容
DW          0000H                   ;0603H 地址表格内容
```

2.1.1.4 跳转表

跳转表能够实现多地址跳转功能。由于 PCL 和 ACC 的值相加即可得到新的 PCL，因此，可以通过对 PCL 加上不同的 ACC 值来实现多地址跳转。ACC 值若为 n，PCL+ACC 即表示当前地址加 n，执行完当前指令后 PCL 值还会自加 1，可参考以下范例。如果 PCL+ACC 后发生溢出，PC 不会自动进位，故编写程序时应注意。这样，用户就可以通过修改 ACC 的值轻松实现多地址的跳转。

PCLATH 为 PC 高位缓冲寄存器，对 PCL 操作时，必须先对 PCLATH 进行赋值。

例：正确的多地址跳转程序示例

```
FLASH 地址
                LDIA        01H
                LD          PCLATH,A        ;必须对 PCLATH 进行赋值
                …
0110H:          ADDR        PCL             ;ACC+PCL
0111H:          JP          LOOP1           ;ACC=0，跳转至 LOOP1
0112H:          JP          LOOP2           ;ACC=1，跳转至 LOOP2
0113H:          JP          LOOP3           ;ACC=2，跳转至 LOOP3
0114H:          JP          LOOP4           ;ACC=3，跳转至 LOOP4
0115H:          JP          LOOP5           ;ACC=4，跳转至 LOOP5
0116H:          JP          LOOP6           ;ACC=5，跳转至 LOOP6
```

例：错误的多地址跳转程序示例

```
FLASH 地址
                CLR         PCLATH
                …
00FCH:          ADDR        PCL             ;ACC+PCL
00FDH:          JP          LOOP1           ;ACC=0，跳转至 LOOP1
00FEH:          JP          LOOP2           ;ACC=1，跳转至 LOOP2
00FFH:          JP          LOOP3           ;ACC=2，跳转至 LOOP3
0100H:          JP          LOOP4           ;ACC=3，跳转至 0000H 地址
0101H:          JP          LOOP5           ;ACC=4，跳转至 0001H 地址
0102H:          JP          LOOP6           ;ACC=5，跳转至 0002H 地址
```

注：由于 PCL 溢出不会自动向高位进位，故在利用 PCL 作多地址跳转时，需要注意该段程序一定不能放在 FLASH 空间的分页处。

2.1.2 数据存储器

数据存储器列表

	地址		地址		地址		地址
INDF	00H	INDF	80H	INDF	100H	INDF	180H
TMR0	01H	OPTION_REG	81H	----	101H	----	181H
PCL	02H	PCL	82H	PCL	102H	PCL	182H
STATUS	03H	STATUS	83H	STATUS	103H	STATUS	183H
FSR	04H	FSR	84H	FSR	104H	FSR	184H
PORTA	05H	TRISA	85H	BUZCON	105H	PORTC	185H
PORTB	06H	TRISB	86H	----	106H	TRISC	186H
WPUA	07H	WPDB	87H	PIR2	107H	IOCC	187H
WPUB	08H	OSCCON	88H	PIE2	108H	IOCA	188H
IOCB	09H	----	89H	IICADD	109H	----	189H
PCLATH	0AH	PCLATH	8AH	PCLATH	10AH	PCLATH	18AH
INTCON	0BH	INTCON	8BH	INTCON	10BH	INTCON	18BH
PIR1	0CH	EECON1	8CH	IICCON	10CH	PWMIOS0	18CH
PIE1	0DH	EECON2	8DH	IICCON2	10DH	PWMIOS1	18DH
PWMD23H	0EH	EEDAT	8EH	IICBUF	10EH	PWMIOS2	18EH
PWM01DT	0FH	EEDATH	8FH	IICSTAT	10FH	LCDCON	18FH
PWM23DT	10H	EEADR	90H	ANSEL0	110H	CSSEL0	190H
TMR2	11H	PR2	91H	ANSEL1	111H	CSSEL1	191H
T2CON	12H	KEYCON0	92H	ANSEL2	112H	CSSEL2	192H
PWMCON0	13H	KEYCON1	93H	WPDA	113H	CSEN0	193H
PWMCON1	14H	KEYDATAL	94H	WPDC	114H	CSEN1	194H
PWMTL	15H	KEYDATAH	95H	WPUC	115H	CSEN2	195H
PWMTH	16H	EEADRH	96H	CMPCON	116H	TABLE_SPL	196H
PWMD0L	17H	KEYCON2	97H	TXSTA	117H	TABLE_SPH	197H
PWMD1L	18H	OPA0CON	98H	RCSTA	118H	TABLE_DATAH	198H
PWMD2L	19H	OPA0ADJ	99H	SPBRG	119H	TMR1L	199H
PWMD3L	1AH	OPA1CON	9AH	TXREG	11AH	TMR1H	19AH
PWMD4L	1BH	OPA1ADJ	9BH	RCREG	11BH	T1CON	19BH
PWMD01H	1CH	ADCON1	9CH	SPIBUF	11CH	----	19CH
PWMCON2	1DH	ADCON0	9DH	SPICON	11DH	----	19DH
PWM4TL	1EH	ADRESL	9EH	SPICON2	11EH	----	19EH
----	1FH	ADRESH	9FH	LVDCON	11FH	----	19FH
通用寄存器 96 字节	20H 6FH	通用寄存器 80 字节	A0H EFH	通用寄存器 80 字节	120H 16FH	通用寄存器 80 字节	1A0H 1EFH
	70H -- 7FH	快速存储区 70H-7FH	F0H -- FFH	快速存储区 70H-7FH	170H -- 17FH	快速存储区 70H-7FH	1F0H -- 1FFH
BANK0		BANK1		BANK2		BANK3	

数据存储器由 512×8 位组成，分为两个功能区间：特殊功能寄存器和通用数据存储器。数据存储器单元大多数是可读/写的，但有些只读的。特殊功能寄存器地址为从 00H-1FH，80H-9FH，100H-11FH，180H-19FH。

特殊功能寄存器汇总 Bank0

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	复位值
00H	INDF	寻址该单元会使用FSR的内容寻址数据存储器（不是物理寄存器）								xxxxxxxx
01H	TMR0	TIMER0数据寄存器								xxxxxxxx
02H	PCL	程序计数器低字节								00000000
03H	STATUS	IRP	RP1	RP0	TO	PD	Z	DC	C	00011xxx
04H	FSR	间接数据存储器地址指针								xxxxxxxx
05H	PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxxxxxx
06H	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxxxxxx
07H	WPUA	WPUA7	WPUA6	WPUA5	WPUA4	WPUA3	WPUA2	WPUA1	WPUA0	00000000
08H	WPUB	WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0	00000000
09H	IOCB	IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0	00000000
0AH	PCLATH	----	----	----	----	程序计数器高4位的写缓冲器				-----0000
0BH	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	00000000
0CH	PIR1	TMR1IF	EEIF	RCIF	TXIF	SPIIF	PWMIF	TMR2IF	ADIF	00000000
0DH	PIE1	TMR1IE	EEIE	RCIE	TXIE	SPIIE	PWMIE	TMR2IE	ADIE	00000000
0EH	PWMD23H	----	----	PWMD3[9:8]		----	----	PWMD2[9:8]		--00—00
0FH	PWM01DT	----	----	PWM01死区延时时间						--00000
10H	PWM23DT	----	----	PWM23死区延时时间						--00000
11H	TMR2	TIMER2模块寄存器								00000000
12H	T2CON	CLK_SEL	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	00000000
13H	PWMCON0	CLKDIV[2:0]			PWM4EN	PWM3EN	PWM2EN	PWM1EN	PWM0EN	00000000
14H	PWMCON1	----	----	PWM2DTEN	PWM0DTEN	----	----	DT_DIV[1:0]		--00—00
15H	PWMTL	PWM周期低位寄存器								00000000
16H	PWMTH	----	----	PWMD4[9:8]		PWM4T9	PWM4T8	PWMT9	PWMT8	--000000
17H	PWMD0L	PWM0占空比低位寄存器								00000000
18H	PWMD1L	PWM1占空比低位寄存器								00000000
19H	PWMD2L	PWM2占空比低位寄存器								00000000
1AH	PWMD3L	PWM3占空比低位寄存器								00000000
1BH	PWMD4L	PWM4占空比低位寄存器								00000000
1CH	PWMD01H	----	----	PWMD1[9:8]		----	----	PWMD0[9:8]		--00—00
1DH	PWMCON2	BUZEN	----	----	PWM4DIR	PWM3DIR	PWM2DIR	PWM1DIR	PWM0DIR	0---00000
1EH	PWM4TL	PWM4周期低位寄存器								00000000

特殊功能寄存器汇总 Bank1

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	复位值
80H	INDF	寻址该地址单元会使用FSR的内容寻址数据存储器（不是物理寄存器）								xxxxxxxx
81H	OPTION_REG	----	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	-1111011
82H	PCL	程序计数器（PC）的低字节								00000000
83H	STATUS	IRP	RP1	RP0	TO	PD	Z	DC	C	00011xxx
84H	FSR	间接数据存储器地址指针								xxxxxxxx
85H	TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	11111111
86H	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	11111111
87H	WPDB	WPDB7	WPDB6	WPDB5	WPDB4	WPDB3	WPDB2	WPDB1	WPDB0	00000000
88H	OSCCON	----	IRCF2	IRCF1	IRCF0	----	----	SWDTEN	----	-101—0-
8AH	PCLATH	----	----	----	----	程序计数器高4位的写缓冲器				-----0000
8BH	INTCON	GIE	PEIE	T01E	INTE	RBIE	T0IF	INTF	RBIF	00000000
8CH	EECON1	EEPGD	----	----	----	WRERR	WREN	WR	RD	0—0x000
8DH	EECON2	EEPROM控制寄存器2（不是物理寄存器）								--------
8EH	EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	xxxxxxxx
8FH	EEDATH	EEDATH7	EEDATH6	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0	xxxxxxxx
90H	EEADR	EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	00000000
91H	PR2	TIMER2周期寄存器								00000000
92H	KEYCON0	KDONE	----	KCAPK[2:0]			KOUT	KCAP	KEN	0-000000
93H	KEYCON1	KVREF[1:0]		KCLK[1:0]		KCHS[3:0]				00000000
94H	KEYDATAL	触摸按键结果寄存器低位								xxxxxxxx
95H	KEYDATAH	触摸按键结果寄存器高位								xxxxxxxx
96H	EEADRH	----	----	----	----	EEADRH3	EEADRH2	EEADRH1	EEADRH0	----0000
97H	KEYCON2	CAP_LVBO[2:0]			----	----	----	----	TKEN	000—--0
98H	OPA0CON	OPA0EN	OPA0OEN	CMP0MODE	OPA0_ADC	----	----	----	OPA0FT	0000---0
99H	OPA0ADJ	OPA0OUT	OPA0COFM	OPA0CRS	OPA0_ADJ[4:0]					000xxxxx
9AH	OPA1CON	OPA1EN	OPA1OEN	CMP1MODE	OPA1_ADC	----	----	----	OPA1FT	0000---0
9BH	OPA1ADJ	OPA1OUT	OPA1COFM	OPA1CRS	OPA1_ADJ[4:0]					000xxxxx
9CH	ADCON1	ADFM	CHS4	----	----	----	LDO_EN	LDO_SEL[1:0]		00---000
9DH	ADCON0	ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON	00000000
9EH	ADRESL	ADC结果寄存器的低字节								xxxxxxxx
9FH	ADRESH	ADC结果寄存器的高字节								xxxxxxxx

特殊功能寄存器汇总 Bank2

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	复位值
100H	INDF	寻址该地址单元会使用FSR的内容寻址数据存储器（不是物理寄存器）								xxxxxxxx
102H	PCL	程序计数器（PC）的低字节								00000000
103H	STATUS	IRP	RP1	RP0	TO	PD	Z	DC	C	00011xxx
104H	FSR	间接数据存储器地址指针								xxxxxxxx
105H	BUZCON	BUZDIV[1:0]		BUZDATA[5:0]						00000000
107H	PIR2	----	TKIF	----	IICIF	BCLIF	RCCIF	RACIF	LVDIF	-0-00000
108H	PIE2	----	TKIE	----	IICIE	BCLIE	RCCIE	RACIE	LVDIE	-0-00000
109H	IICADD	IIC地址/波特率寄存器								00000000
10AH	PCLATH	----	----	----	----	程序计数器高4位的写缓冲器				-----0000
10BH	INTCON	GIE	PEIE	T01E	INTE	RBIE	T0IF	INTF	RBIF	00000000
10CH	IICCON	IICWCOL	SSPOV	IICEN	IICCKP	IICTOS[1:0]		IICM[1:0]		00010000
10DH	IICCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	00000000
10EH	IICBUF	IIC发送/接收寄存器								xxxxxxxx
10FH	IICSTAT	----	IDLE	D/A	P	S	R/W	IICTOF	BF	-0000000
110H	ANSEL0	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	00000000
111H	ANSEL1	----	----	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8	--000000
112H	ANSEL2	----	----	----	----	ANS19	ANS18	ANS17	ANS16	----0000
113H	WPDA	WPDA7	WPDA6	WPDA5	WPDA4	WPDA3	WPDA2	WPDA1	WPDA0	00000000
114H	WPDC	----	----	----	----	----	----	WPDC1	WPDC0	------00
115H	WPUC	----	----	----	----	----	----	WPUC1	WPUC0	------00
116H	CMPCON	CMP1S_SEL	CMP1REF[2:0]			CMP0S_SEL	CMP0REF[2:0]			01110111
117H	TXSTA	CSRC	TX9EN	TXEN	SYNC	SCKP	STOPBIT	TRMT	TX9D	00000010
118H	RCSTA	SPEN	RX9EN	SREN	CREN	RCIDL	FERR	OERR	RX9D	00001000
119H	SPBRG	USART波特率8位寄存器								00000000
11AH	TXREG	USART发送数据寄存器								00000000
11BH	RCREG	USART接收数据寄存器								xxxxxxxx
11CH	SPIBUF	SPI发送/接收寄存器								xxxxxxxx
11DH	SPICON	SPIWCOL	SPIOV	SPIEN	SPICKP	SPIM[3:0]				00000000
11EH	SPICON2	----	CKE	MODE	----	----	----	----	SPIBF	-00----0
11FH	LVDCON	LVD_RES	----	----	----	LVD_SEL[2:0]			LVDEN	00---0000

特殊功能寄存器汇总 Bank3

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	复位值
180H	INDF	寻址该地址单元会使用FSR的内容寻址数据存储器（不是物理寄存器）								xxxxxxxx
182H	PCL	程序计数器（PC）的低字节								00000000
183H	STATUS	IRP	RP1	RP0	TO	PD	Z	DC	C	00011xxx
184H	FSR	间接数据存储器地址指针								xxxxxxxx
185H	PORTC	----	----	----	----	----	----	RC1	RC0	------xx
186H	TRISC	----	----	----	----	----	----	TRISC1	TRISC0	------11
187H	IOCC	----	----	----	----	----	----	IOCC1	IOCC0	------00
188H	IOCA	IOCA7	IOCA6	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	00000000
18AH	PCLATH	----	----	----	----	程序计数器高4位的写缓冲器				-----0000
18BH	INTCON	GIE	PEIE	T01E	INTE	RBIE	T0IF	INTF	RBIF	00000000
18CH	PWMIOS0	----	PWM1IOS[2:0]			----	PWM0IOS[2:0]			-000-000
18DH	PWMIOS1	----	PWM3IOS[2:0]			----	PWM2IOS[2:0]			-000-000
18EH	PWMIOS2	----	----	----	----	----	PWM4IOS[2:0]			-----000
18FH	LCDCON	LCDEN	FRAME	BIAS	----	----	----	LCDISLE[1:0]		000---00
190H	CSSEL0	CS7SEL	CS6SEL	CS5SEL	CS4SEL	CS3SEL	CS2SEL	CS1SEL	CS0SEL	00000000
191H	CSSEL1	CS15SEL	CS14SEL	CS13SEL	CS12SEL	CS11SEL	CS10SEL	CS9SEL	CS8SEL	00000000
192H	CSSEL2	----	----	----	----	----	----	CS17SEL	CS16SEL	------00
193H	CSEN0	CS7EN	CS6EN	CS5EN	CS4EN	CS3EN	CS2EN	CS1EN	CS0EN	00000000
194H	CSEN1	CS15EN	CS14EN	CS13EN	CS12EN	CS11EN	CS10EN	CS9EN	CS8EN	00000000
195H	CSEN2	----	----	----	----	----	----	CS17EN	CS16EN	------00
196H	TABLE_SPL	表格低8位地址								xxxxxxxx
197H	TABLE_SPH	----	----	----	----	表格高位地址				-----xxx
198H	TABLE_DATAH	表格高8位数据								xxxxxxxx
199H	TMR1L	16位TIMER1寄存器低字节的数据寄存器								xxxxxxxx
19AH	TMR1H	16位TIMER1寄存器高字节的数据寄存器								xxxxxxxx
19BH	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T0OSCEN	T1SYNC	TMR1CS	TMR1ON	00000000

2.2 寻址方式

2.2.1 直接寻址

通过工作寄存器（ACC）来对 RAM 进行操作。

例：ACC 的值送给 30H 寄存器

```
        LD          30H,A
```

例：30H 寄存器的值送给 ACC

```
        LD          A,30H
```

2.2.2 立即寻址

把立即数传给工作寄存器（ACC）。

例：立即数 12H 送给 ACC

```
        LDIA        12H
```

2.2.3 间接寻址

数据存储器能被直接或间接寻址。通过 INDF 寄存器可间接寻址，INDF 不是物理寄存器。当对 INDF 进行存取时，它会根据 FSR 寄存器内的值（低 8 位）和 STATUS 寄存器的 IRP 位（第 9 位）作为地址，并指向该地址的寄存器，因此在设置了 FSR 寄存器和 STATUS 寄存器的 IRP 位后，就可把 INDF 寄存器当作目的寄存器来存取。间接读取 INDF（FSR=0）将产生 00H。间接写入 INDF 寄存器，将导致一个空操作。以下例子说明了程序中间接寻址的用法。

例：FSR 及 INDF 的应用

```
        LDIA        30H
        LD          FSR,A           ;间接寻址指针指向 30H
        CLRB        STATUS,IRP      ;指针第 9 位清零
        CLR         INDF            ;清零 INDF 实际是清零 FSR 指向的 30H 地址 RAM
```

例：间接寻址清 RAM(20H-7FH)举例：

```
        LDIA        1FH
        LD          FSR,A           ;间接寻址指针指向 1FH
        CLRB        STATUS,IRP
LOOP:
        INCR        FSR             ;地址加 1，初始地址为 30H
        CLR         INDF            ;清零 FSR 所指向的地址
        LDIA        7FH
        SUBA        FSR
        SNZB        STATUS,C        ;一直清零至 FSR 地址为 7FH
        JP          LOOP
```

2.3 堆栈

芯片的堆栈缓存器共 8 层，堆栈缓存器既不是数据存储器的一部分，也不是程序内存的一部分，且既不能被读出，也不能被写入。对它的操作通过堆栈指针（SP）来实现，堆栈指针（SP）也不能读出或写入，当系统复位后堆栈指针会指向堆栈顶部。当发生子程序调用及中断时的程序计数器（PC）值被压入堆栈缓存器，当从中断或子程序返回时将数值返回给程序计数器（PC），下图说明其工作原理。

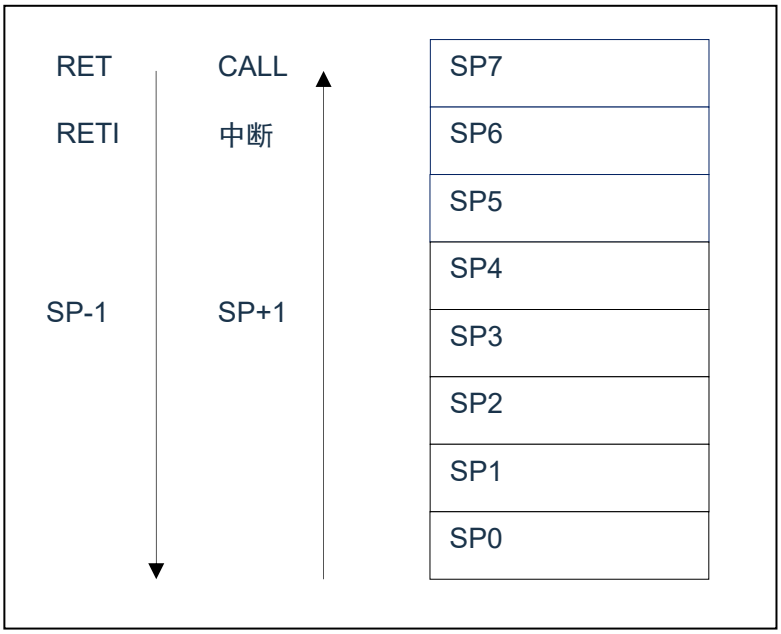


图 2-2：堆栈缓存器工作原理

堆栈缓存器的使用将遵循一个原则“先进后出”。

注：堆栈缓存器只有 8 层，如果堆栈已满，并且发生不可屏蔽的中断，那么只有中断标志位会被记录下来，而中断响应则会被抑制，直到堆栈指针发生递减，中断才会被响应，这个功能可以防止中断使堆栈溢出，同样如果堆栈已满，并且发生子程序调用，那么堆栈将会发生溢出，首先进入堆栈的内容将会丢失，只有最后 8 个返回地址被保留，故用户在写程序时应注意此点，以免发生程序走飞。

2.4 工作寄存器（ACC）

2.4.1 概述

ALU 是 8Bit 宽的算术逻辑单元，MCU 所有的数学、逻辑运算均通过它来完成。它可以对数据进行加、减、移位及逻辑运算；ALU 也控制状态位（STATUS 状态寄存器中），用来表示运算结果的状态。

ACC 寄存器是一个 8-Bit 的寄存器，ALU 的运算结果可以存放在此，它并不属于数据存储器的一部分而是位于 CPU 中供 ALU 在运算中使用，因此不能被寻址，只能通过所提供的指令来使用。

2.4.2 ACC 应用

例：用 ACC 做数据传送

```
LD      A,R01      ;将寄存器 R01 的值赋给 ACC
LD      R02,A      ;将 ACC 的值赋给寄存器 R02
```

例：用 ACC 做立即寻址目标操作数

```
LDIA    30H        ;给 ACC 赋值 30H
ANDIA   30H        ;将当前 ACC 的值跟立即数 30H 进行“与”操作，结果放入 ACC
XORIA   30H        ;将当前 ACC 的值跟立即数 30H 进行“异或”操作，结果放入 ACC
```

例：用 ACC 做双操作数指令的第一操作数

```
HSUBA   R01        ;ACC-R01，结果放入 ACC
HSUBR   R01        ;ACC-R01，结果放入 R01
```

例：用 ACC 做双操作数指令的第二操作数

```
SUBA    R01        ;R01-ACC，结果放入 ACC
SUBR    R01        ; R01-ACC，结果放入 R01
```

2.5 程序状态寄存器（STATUS）

STATUS 寄存器如下表所示，包含：

- ALU 的算术状态。
- 复位状态。
- 数据存储器（GPR 和 SFR）的存储区选择位。

与其他寄存器一样，STATUS 寄存器可以是任何指令的目标寄存器。如果一条影响 Z、DC 或 C 位的指令以 STATUS 寄存器作为目标寄存器，则不能写这 3 个状态位。这些位根据器件逻辑被置 1 或清零。而且也不能写 TO 和 PD 位。因此将 STATUS 作为目标寄存器的指令可能无法得到预期的结果。

例如，CLRSTATUS 会清零高 3 位，并将 Z 位置 1。这样 STATUS 的值将为 000u u1uu（其中 u =不变）。因此，建议仅使用 CLRB、SETB、SWAPA、SWAPR 指令来改变 STATUS 寄存器，因为这些指令不会影响任何状态位。

程序状态寄存器 STATUS(03H)

03H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
STATUS	IRP	RP1	RP0	TO	PD	Z	DC	C
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	1	1	X	X	X

Bit7 IRP: 寄存器存储器选择位（用于间接寻址）；
1= Bank2和Bank3（100h-1FFh）；
0= Bank0和Bank1（00h-FFh）。
Bit6~Bit5 RP[1:0]: 存储区选择位；
00: 选择Bank 0；
01: 选择Bank 1；
10: 选择Bank 2；
11: 选择Bank 3。
Bit4 TO: 超时位；
1= 上电或执行了CLRWDT指令或STOP指令；
0= 发生了WDT超时。
Bit3 PD: 掉电位；
1= 上电或执行了CLRWDT指令；
0= 执行了STOP指令。
Bit2 Z: 结果为零位；
1= 算术或逻辑运算的结果为零；
0= 算术或逻辑运算的结果不为零。
Bit1 DC: 半进位/借位位；
1= 发生了结果的第4低位向高位进位；
0= 结果的第4低位没有向高位进位。
Bit0 C: 进位/借位位；
1= 结果的最高位发生了进位或没有发生借位；
0= 结果的最高位没有发生进位或发生了借位。

TO 和 PD 标志位可反映出芯片复位的原因，下面列出影响 TO、PD 的事件及各种复位后 TO、PD 的状态。

事件	TO	PD
电源上电	1	1
WDT 溢出	0	X
STOP 指令	1	0
CLRWDT 指令	1	1
休眠	1	0

影响 TO/PD 的事件表

TO	PD	复位原因
0	0	WDT 溢出唤醒休眠 MCU
0	1	WDT 溢出非休眠态
1	1	电源上电

复位后 TO/PD 的状态

2.6 预分频器（OPTION_REG）

OPTION_REG 寄存器是可读写的寄存器，包括各种控制位用于配置：

- TIMER0/WDT 预分频器。
- TIMER0。

预分频器 OPTION_REG(81H)

81H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OPTION_REG	---	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
读写	---	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	---	1	1	1	1	0	1	1

Bit7 未用

Bit6 INTEDG: 触发中断的边沿选择位。
1= INT 引脚上升沿触发中断。
0= INT 引脚下降沿触发中断。

Bit5 T0CS: TIMER0 时钟源选择位。
0= 内部指令周期时钟（$F_{SYS}/4$）。
1= T0CKI 引脚上的跳变沿。

Bit4 T0SE: TIMER0 时钟源边沿选择位。
0= 在 T0CKI 引脚信号从低电平跳变到高电平时递增。
1= 在 T0CKI 引脚信号从高电平跳变到低电平时递增。

Bit3 PSA: 预分频器分配位。
0= 预分频器分配给 TIMER0 模块。
1= 预分频器分配给 WDT。

Bit2~Bit0 PS2~PS0: 预分频参数配置位。

PS2	PS1	PS0	TMR0 分频比	WDT 分频比
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

预分频寄存器实际上是一个 8 位的计数器，用于监视寄存器 WDT 时，是作为一个后分频器；用于定时器/计数器时，作为一个预分频器，通常统称作预分频器。在片内只有一个物理的分频器，只能用于 WDT 或 TIMER0，两者不能同时使用。也就是说，若用于 TIMER0，WDT 就不能使用预分频器，反之亦然。

当用于 WDT 时，CLRWDT 指令将同时对预分频器和 WDT 定时器清零。

当用于 TIMER0 时，有关写入 TIMER0 的所有指令（如：CLR TMR0,SETB TMR0,1 等）都会对预分频器清零。

由 TIMER0 还是 WDT 使用预分频器，完全由软件控制。它可以动态改变。为了避免出现不该有的芯片复位，当从 TIMER0 换为 WDT 使用时，应该执行以下指令。

```
CLRB    INTCON,GIE      ;关中断总使能位,避免在执行以下特定时序时
                        进入中断程序
LDIA    B'00000111'
ORR     OPTION_REG,A    ;预分频器设置为最大值
CLR     TMR0            ;TMR0 清零
SETB    OPTION_REG,PSA  ;设置预分频器分配给 WDT
CLRWDT                  ;WDT 清零
LDIA    B'xxxx1xxx'     ;设置新的预分频器
LD      OPTION_REG,A
CLRWDT                  ;WDT 清零
SETB    INTCON,GIE      ;若程序需要用到中断,此处重新打开总使能位
```

将预分频器从分配给 WDT 切换为分配给 TIMER0 模块，应该执行以下指令

```
CLRWDT                  ;WDT 清零
LDIA    B'00xx0xxx'     ;设置新的预分频器
LD      OPTION_REG,A
```

注：要使 TIMER0 获取 1:1 的预分频比配置，可通过将选项寄存器的 PSA 位置 1 将预分频器分配给 WDT。

2.7 程序计数器（PC）

程序计数器（PC）控制程序内存 FLASH 中的指令执行顺序，它可以寻址整个 FLASH 的范围，取得指令码后，程序计数器（PC）会自动加一，指向下一个指令码的地址。但如果执行跳转、条件跳转、向 PCL 赋值、子程序调用、初始化复位、中断、中断返回、子程序返回等操作时，PC 会加载与指令相关的地址而不是下一条指令的地址。

当遇到条件跳转指令且符合跳转条件时，当前指令执行过程中读取的下一条指令将会被丢弃，且会插入一个空指令操作周期，随后才能取得正确的指令。反之，就会顺序执行下一条指令。

程序计数器（PC）是 12Bit 宽度，低 8 位通过 PCL（02H）寄存器用户可以访问，高 4 位用户不能访问。可容纳 4K×16Bit 程序地址。对 PCL 赋值将会产生一个短跳转动作，跳转范围为当前页的 256 个地址。

注：当程序员在利用 PCL 作短跳转时，要先对 PC 高位缓冲寄存器 PCLATH 进行赋值。

下面给出几种特殊情况的 PC 值。

复位时	PC=0000；
中断时	PC=0004（原来的 PC+1 会被自动压入堆栈）；
CALL 时	PC=程序指定地址（原来的 PC+1 会被自动压入堆栈）；
RET、RETI、RET i 时	PC=堆栈出来的值；
操作 PCL 时	PC[11:8]不变，PC[7:0]=用户指定的值；
JP 时	PC=程序指定的值；
其它指令	PC=PC+1；

2.8 看门狗计数器（WDT）

看门狗定时器（Watch Dog Timer）是一个片内自振式的 RC 振荡定时器，无需任何外围组件，即使芯片的主时钟停止工作，WDT 也能保持计时。WDT 计时溢出将产生复位。

2.8.1 WDT 周期

WDT 与 TIMER0 共用 8 位预分频器。在所有复位后，WDT 默认溢出周期为 128ms，WDT 溢出周期计算方式为 16ms*分频系数，假如你需要改变的 WDT 周期，可以设置 OPTION_REG 寄存器。WDT 的溢出周期将受到环境温度、电源电压等参数影响。

“CLRWDT”和“STOP”指令将清除 WDT 定时器以及预分频器里的计数值（当预分频器分配给 WDT 时）。WDT 一般用来防止系统失控，或者可以说是用来防止单片机程序失控。在正常情况下，WDT 应该在其溢出前被“CLRWDT”指令清零，以防止产生复位。如果程序由于某种干扰而失控，那么不能在 WDT 溢出前执行“CLRWDT”指令，就会使 WDT 溢出而产生复位。使系统重启而不至于失去控制。若是 WDT 溢出产生的复位，则状态寄存器（STATUS）的“TO”位会被清零，用户可根据此位来判断复位是否是 WDT 溢出所造成的。

注：
1. 若使用 WDT 功能，一定要在程序的某些地方放置“CLRWDT”指令，以保证在 WDT 溢出前能被清零。否则会使芯片不停的复位，造成系统无法正常工作。
2. 不能在中断程序中对 WDT 进行清零，否则无法侦测到主程序“跑飞”的情况。
3. 程序中应在主程序中有一次清 WDT 的操作，尽量不要在多个分支中清零 WDT，这种架构能最大限度发挥看门狗计数器的保护功能。
4. 看门狗计数器不同芯片的溢出时间有一定差异，所以设置清 WDT 时间时，应与 WDT 的溢出时间有较大的冗余，以避免出现不必要的 WDT 复位。

2.8.2 看门狗定时器控制

SWDTEN: 软件使能或禁止看门狗定时器位。
1= 使能 WDT。
0= 禁止 WDT（复位值）。

注：
1. SWDTEN 位于 OSCCON 寄存器 Bit1。
2. 如果 CONFIG 中 WDT 配置位=1，则 WDT 始终被使能，而与 SWDTEN 控制位的状态无关。如果 CONFIG 中 WDT 配置位=0，则可以使用 SWDTEN 控制位使能或禁止 WDT。

3. 系统时钟

3.1 概述

时钟信号从 OSCIN 引脚输入后（或者由内部振荡产生），在片内产生 4 个非重叠正交时钟信号，分别称作 Q1、Q2、Q3、Q4。在 IC 内部每个 Q1 使程序计数器（PC）增量加一，Q4 从程序存储单元中取出该指令，并将其锁存在指令寄存器中。在下一个 Q1 到 Q4 之间对取出的指令进行译码和执行，也就是说 4 个时钟周期才会执行一条指令。下图表示时钟与指令周期执行时序图。

一个指令周期含有 4 个 Q 周期，指令的执行和获取是采用流水线结构，取指占用一个指令周期，而译码和执行占用另一个指令周期，但是由于流水线结构，从宏观上看，每条指令的有效执行时间是一个指令周期。如果一条指令引起程序计数器地址发生改变（例如 JP）那么预取的指令操作码就无效，就需要两个指令周期来完成该条指令，这就是对 PC 操作指令都占用两个时钟周期的原因。

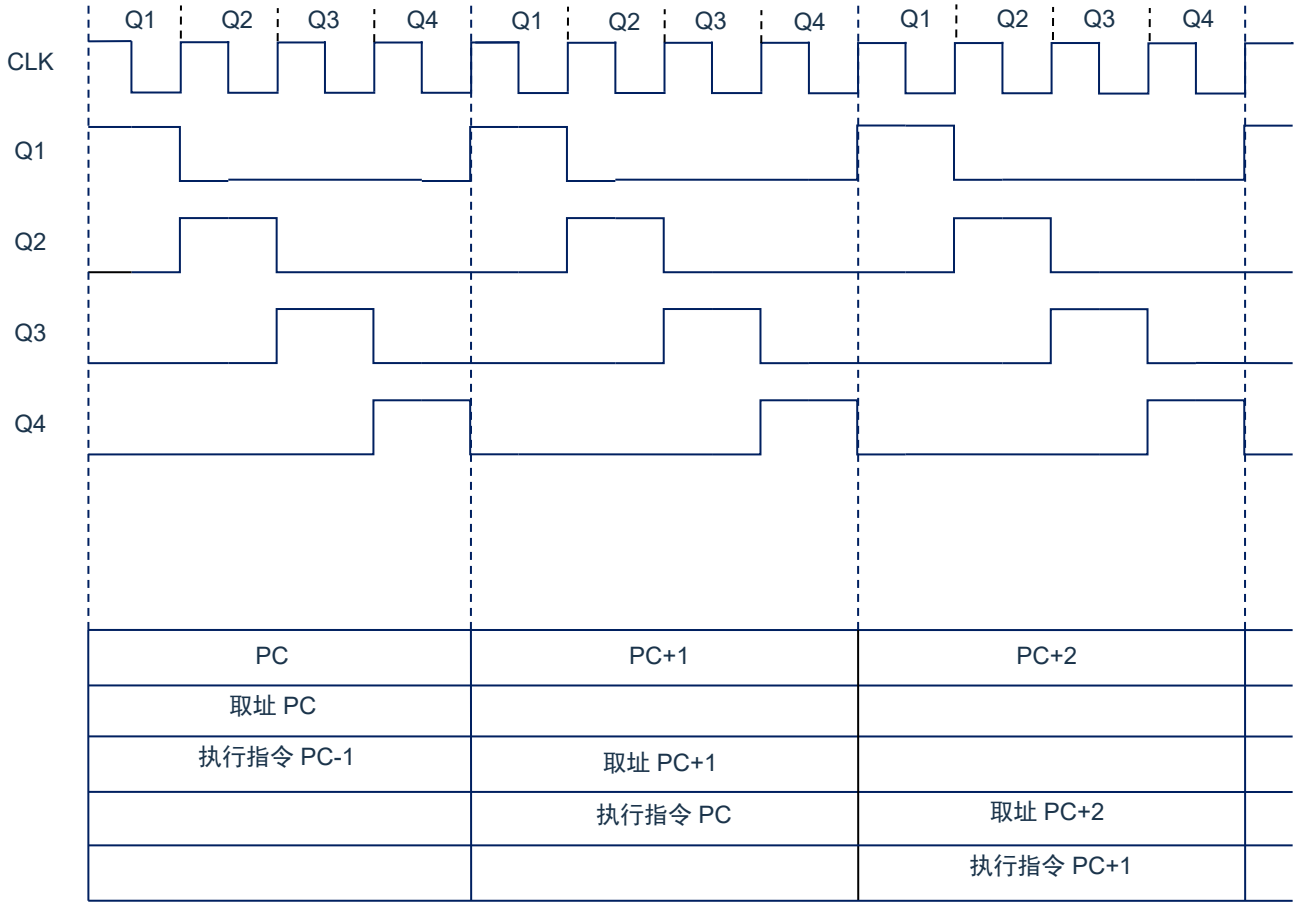


图 3-1：时钟与指令周期时序图

下面列出系统工作频率与指令速度的关系：

系统工作频率(Fsys)	双指令周期	单指令周期
1MHz	8μs	4μs
2MHz	4μs	2μs
4MHz	2μs	1μs
8MHz	1μs	500ns

3.2 系统振荡器

芯片内部集成 8M/16M RC 振荡。

3.2.1 内部 RC 振荡

芯片默认的振荡方式为内部 RC 振荡，其振荡频率为 8MHz 或 16MHz，可通过 OSCCON 寄存器设置芯片工作频率。

3.3 起振时间

起振时间（Reset Time）是指从芯片复位到芯片振荡稳定这段时间，其设计值约为 16ms。

注：无论芯片是电源上电复位，还是其它原因引起的复位，都会存在这个起振时间。

3.4 振荡器控制寄存器

振荡器控制（OSCCON）寄存器控制系统时钟和频率选择。

振荡器控制寄存器 OSCCON(88H)

88H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OSCCON	---	IRCF2	IRCF1	IRCF0	---	---	SWDTEN	---
R/W	---	R/W	R/W	R/W	---	---	R/W	---
复位值	---	1	0	1	---	---	0	---

Bit7 未用，读为 0。

Bit6~Bit4 IRCF<2:0>: 内部振荡器分频选择位。

111= F_{SYS} = F_{HSI}/1

110= F_{SYS} = F_{HSI}/2

101= F_{SYS} = F_{HSI}/4（默认）

100= F_{SYS} = F_{HSI}/8

011= F_{SYS} = F_{HSI}/16

010= F_{SYS} = F_{HSI}/32

001= F_{SYS} = F_{HSI}/64

000= F_{SYS} = 32kHz（LFINTOSC）。

Bit3~Bit2 未用。

Bit1 SWDTEN: 软件使能或禁止看门狗定时器位。

1= 使能WDT。

0= 禁止WDT（复位值）。

Bit0 未用。

注：F_{HSI} 为内部振荡器频率，可选择 8MHz 或 16MHz；F_{SYS} 为系统工作频率。

3.5 时钟框图

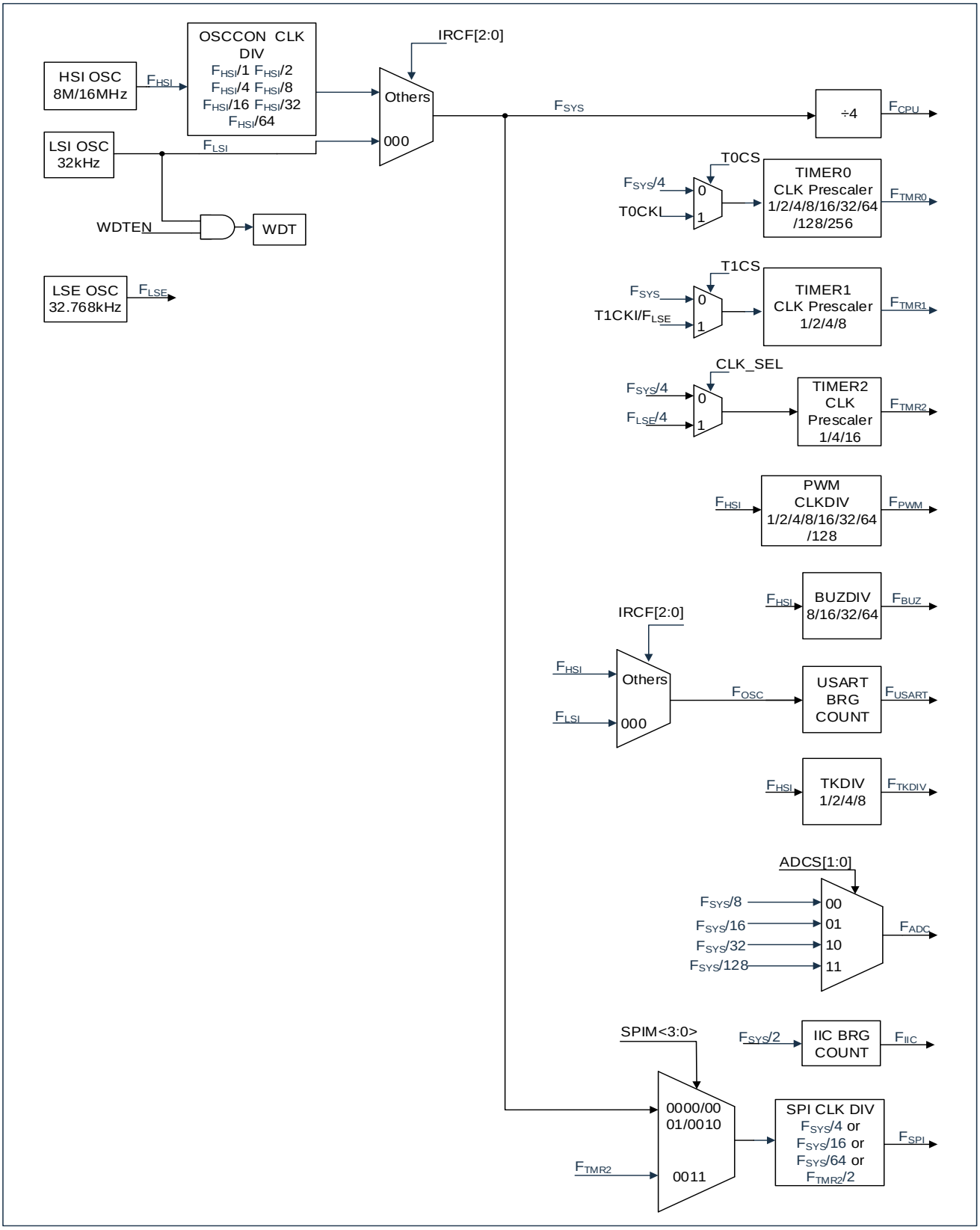


图 3-2：时钟框图

4. 复位

芯片可用如下 3 种复位方式：

- ◆ 上电复位；
- ◆ 低电压复位；
- ◆ 正常工作下的看门狗溢出复位；

上述任意一种复位发生时，所有的系统寄存器将恢复默认状态，程序停止运行，同时程序计数器 PC 清零，复位结束后程序从复位向量 0000H 开始运行。STATUS 的 TO 和 PD 标志位能够给出系统复位状态的信息，（详见 STATUS 的说明），用户可根据 PD 和 TO 的状态，控制程序运行路径。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。

4.1 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。下面给出上电复位的正常时序：

- 上电：系统检测到电源电压上升并等待其稳定；
- 系统初始化：所有的系统寄存器被置为初始值；
- 振荡器开始工作：振荡器开始提供系统时钟；
- 执行程序：上电结束，程序开始运行。

4.2 掉电复位

4.2.1 掉电复位概述

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化）。电压跌落可能会进入系统死区，系统死区意味着电源不能满足系统的最小工作电压要求。

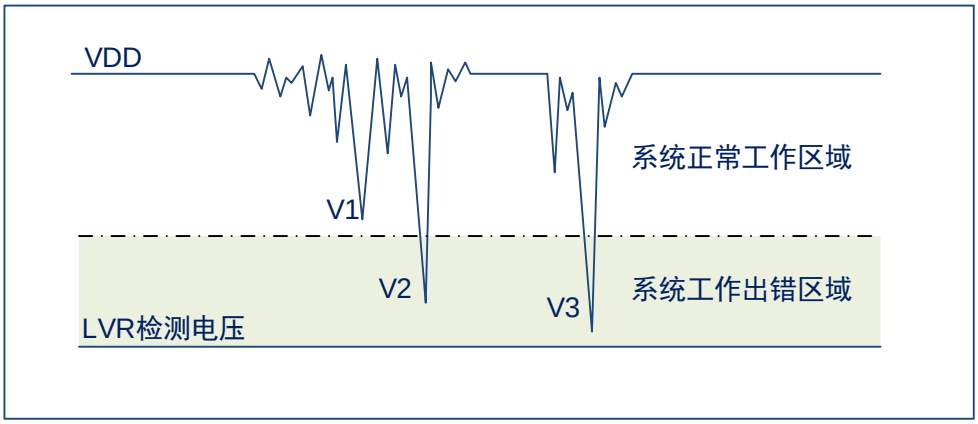


图4-1：掉电复位示意图

上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。

以下情况系统可能进入死区：

- DC 运用中：
  - DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源不会进一步下降到 LVD 检测电压，因此系统维持在死区。
- AC 运用中：
  - 系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。
  - 在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

4.2.2 掉电复位的改进办法

如何改进系统掉电复位性能，以下给出几点建议：

- 选择较高的 LVR 电压，有助于复位更可靠；
- 开启看门狗定时器；
- 降低系统的工作频率；
- 增大电压下降斜率。

看门狗定时器

看门狗定时器用于保证程序正常运行，当系统进入工作死区或者程序运行出错时，看门狗定时器会溢出，系统复位。

降低系统的工作速度

系统工作频率越快，系统最低工作电压越高。从而增大了工作死区的范围，降低系统工作速度就可以降低最低工作电压，从而有效的减小系统工作在死区电压的机率。

增大电压下降斜率

此方法可用于系统工作在 AC 供电的环境，一般 AC 供电系统，系统电压在掉电过程中下降很缓慢，这就会造成芯片较长时间工作在死区电压，此时若系统重新上电，芯片工作状态可能出错，建议在芯片电源与地线间加一个放电电阻，以便让 MCU 快速通过死区，进入复位区，避免芯片上电出错可能性。

4.3 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗复位的时序如下：

- 看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；
- 初始化：所有的系统寄存器被置为默认状态；
- 振荡器开始工作：振荡器开始提供系统时钟；
- 程序：复位结束，程序开始运行。

关于看门狗定时器的应用问题请参看 2.8WDT 应用章节。

5. 休眠模式

5.1 进入休眠模式

执行 STOP 指令可进入休眠模式。如果 WDT 使能，那么：

- WDT 将被清零并继续运行。
- STATUS 寄存器中的 PD 位被清零。
- TO 位被置 1。
- 关闭振荡器驱动器。
- I/O 端口保持执行 STOP 指令之前的状态（驱动为高电平、低电平或高阻态）。

在休眠模式下，为了尽量降低电流消耗，所有 I/O 引脚都应该保持为 VDD 或 GND，没有外部电路从 I/O 引脚消耗电流。为了避免输入引脚悬空而引入开关电流，应在外部将高阻输入的 I/O 引脚拉为高电平或低电平。为了将电流消耗降至最低，还应考虑芯片内部上拉电阻的影响。

5.2 从休眠状态唤醒

可以通过下列任一事件将器件从休眠状态唤醒：

1. 看门狗定时器唤醒（WDT 强制使能）
2. PORTA/PORTB/PORTC 电平变化中断
3. 其他外设中断

上述两种事件被认为是程序执行的延续，STATUS 寄存器中的 TO 和 PD 位用于确定器件复位的原因。PD 位在上电时被置 1，而在执行 STOP 指令时被清零。TO 位在发生 WDT 唤醒时被清零。

当执行 STOP 指令时，下一条指令（PC+1）被预先取出。如果希望通过中断事件唤醒器件，则必须将相应的中断允许位置 1（允许）。唤醒与 GIE 位的状态无关。如果 GIE 位被清零（禁止），器件将继续执行 STOP 指令之后的指令。如果 GIE 位被置 1（允许），器件执行 STOP 指令之后的指令，然后跳转到中断地址（0004h）处执行代码。如果不想执行 STOP 指令之后的指令，用户应该在 STOP 指令后面放置一条 NOP 指令。器件从休眠状态唤醒时，WDT 都将被清零，而与唤醒的原因无关。

5.3 使用中断唤醒

当禁止全局中断（GIE 被清零）时，并且有任一中断源将其中断允许位和中断标志位置 1，将会发生下列事件之一：

- 如果在执行 STOP 指令之前产生了中断，那么 STOP 指令将被作为一条 NOP 指令执行。因此，WDT 及其预分频器和后分频器（如果使能）将不会被清零，并且 TO 位将不会被置 1，同时 PD 也不会被清零。
- 如果在执行 STOP 指令期间或之后产生了中断，那么器件将被立即从休眠模式唤醒。STOP 指令将在唤醒之前执行完毕。因此，WDT 及其预分频器和后分频器（如果使能）将被清零，并且 TO 位将被置 1，同时 PD 也将被清零。即使在执行 STOP 指令之前检查到标志位为 0，它也可能在 STOP 指令执行完毕之前被置 1。要确定是否执行了 STOP 指令，可以测试 PD 位。如果 PD 位置 1，则说明 STOP 指令被作为一条 NOP 指令执行了。在执行 STOP 指令之前，必须先执行一条 CLRWDT 指令，来确保将 WDT 清零。

5.4 休眠模式应用举例

系统在进入休眠模式之前，若用户需要获得较小的休眠电流，请先确认所有 I/O 的状态，若用户方案中存在悬空的 I/O 口，把所有悬空口都设置为输出口，确保每一个 I/O 都有一个固定的状态，以避免 I/O 为输入状态时，口线电平处于不定态而增大休眠电流；关断 AD 等其它外设模块；根据实际方案的功能需求可禁止 WDT 功能来减小休眠电流。

例：进入休眠的处理程序

```
SLEEP_MODE：
        CLR         INTCON          ;关断中断使能
        LDIA        B'00000000'
        LD          TRISA,A
        LD          TRISB,A         ;所有 I/O 设置为输出口
        LD          TRISC,A
        …                           ;关闭其它功能
        LDIA        0A5H
        LD          SP_FLAG,A       ;置休眠状态记忆寄存器（用户自定义）
        CLRWDT                      ;清零 WDT
        STOP                        ;执行 STOP 指令
```

5.5 休眠模式唤醒时间

当 MCU 从休眠态被唤醒时，需要等待一个振荡稳定时间（Reset Time），具体关系如下表所示

系统主频时钟源	系统时钟分频选择(IRCF<2:0>)	休眠唤醒等待时间 T_{WAIT}
内部高速 RC 振荡（F_{HSI}）	$F_{SYS}=F_{HSI}$	$T_{WAIT}=(1032*1+16)/F_{HSI}$
	$F_{SYS}= F_{HSI/2}$	$T_{WAIT}=(1032*2+16)/F_{HSI}$
	…	…
	$F_{SYS}= F_{HSI/64}$	$T_{WAIT}=(1032*64+16)/F_{HSI}$
内部低速 RC 振荡（$F_{LFINTOSC}$）	----	$T_{WAIT}=15/F_{LFINTOSC}$

6. I/O 端口

6.1 I/O 概述

芯片有 3 个 I/O 端口：PORTA、PORTB、PORTC（最多 18 个 I/O）。可读写端口数据寄存器可直接存取这些端口。

端口	位	管脚描述	I/O
PORTA	0	施密特触发输入，推挽式输出，AN0，PWM，OPA0_O，INT，SDA，COMP0_S	I/O
	1	施密特触发输入，推挽式输出，AN1，PWM，OPA0_P，SCL，COMP0_P	I/O
	2	施密特触发输入，推挽式输出，AN2，PWM，OPA0_S	I/O
	3	施密特触发输入，推挽式输出，AN3，PWM，OPA1_O，TX，CK	I/O
	4	施密特触发输入，推挽式输出，AN4，PWM，OPA1_P，RX，DT	I/O
	5	施密特触发输入，推挽式输出，AN5，PWM，OPA1_S，INT，TX，CK	I/O
	6	施密特触发输入，推挽式输出，AN16，RX，DT	I/O
	7	施密特触发输入，推挽式输出，AN17	I/O
PORTB	0	施密特触发输入，推挽式输出，AN13，PWM，ICSPDAT，OSCI，SDA，COMP1_S，TX，CK	I/O
	1	施密特触发输入，推挽式输出，AN12，PWM，ICSPCLK，OSCO，SCL，RX，DT	I/O
	2	施密特触发输入，推挽式输出，AN11，PWM，MISO	I/O
	3	施密特触发输入，推挽式输出，AN10，PWM，MOSI，TX，CK，COMP1_S	I/O
	4	施密特触发输入，推挽式输出，AN9，PWM，SCK，RX，DT，COMP1_P	I/O
	5	施密特触发输入，推挽式输出，AN8，PWM，SS	I/O
	6	施密特触发输入，推挽式输出，AN7，PWM	I/O
	7	施密特触发输入，推挽式输出，AN6，PWM，T1G	I/O
PORTC	0	施密特触发输入，推挽式输出，AN19	I/O
	1	施密特触发输入，推挽式输出，AN18	I/O

＜表 6-1：端口配置总概＞

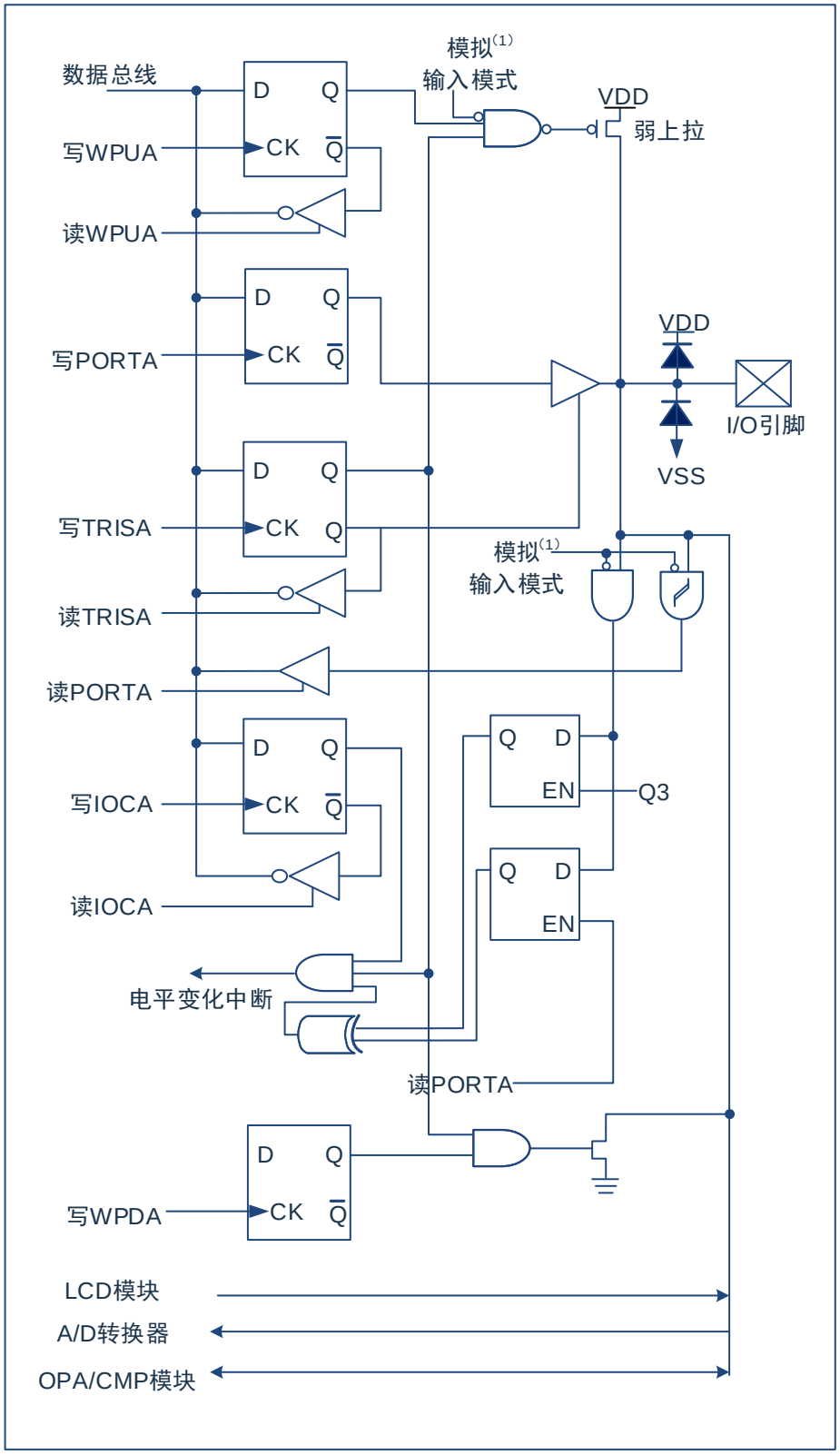

数据总线
写WPUA
读WPUA
写PORTA
写TRISA
读TRISA
读PORTA
写IOCA
读IOCA
电平变化中断
写WPDA
LCD模块
A/D转换器
OPA/CMP模块
D
Q
CK
Q̄
模拟(1)
输入模式
VDD
弱上拉
VDD
VSS
I/O引脚
模拟(1)
输入模式
Q
D
EN
Q3
Q
D
EN
读PORTA

图 6-1：I/O 口结构图

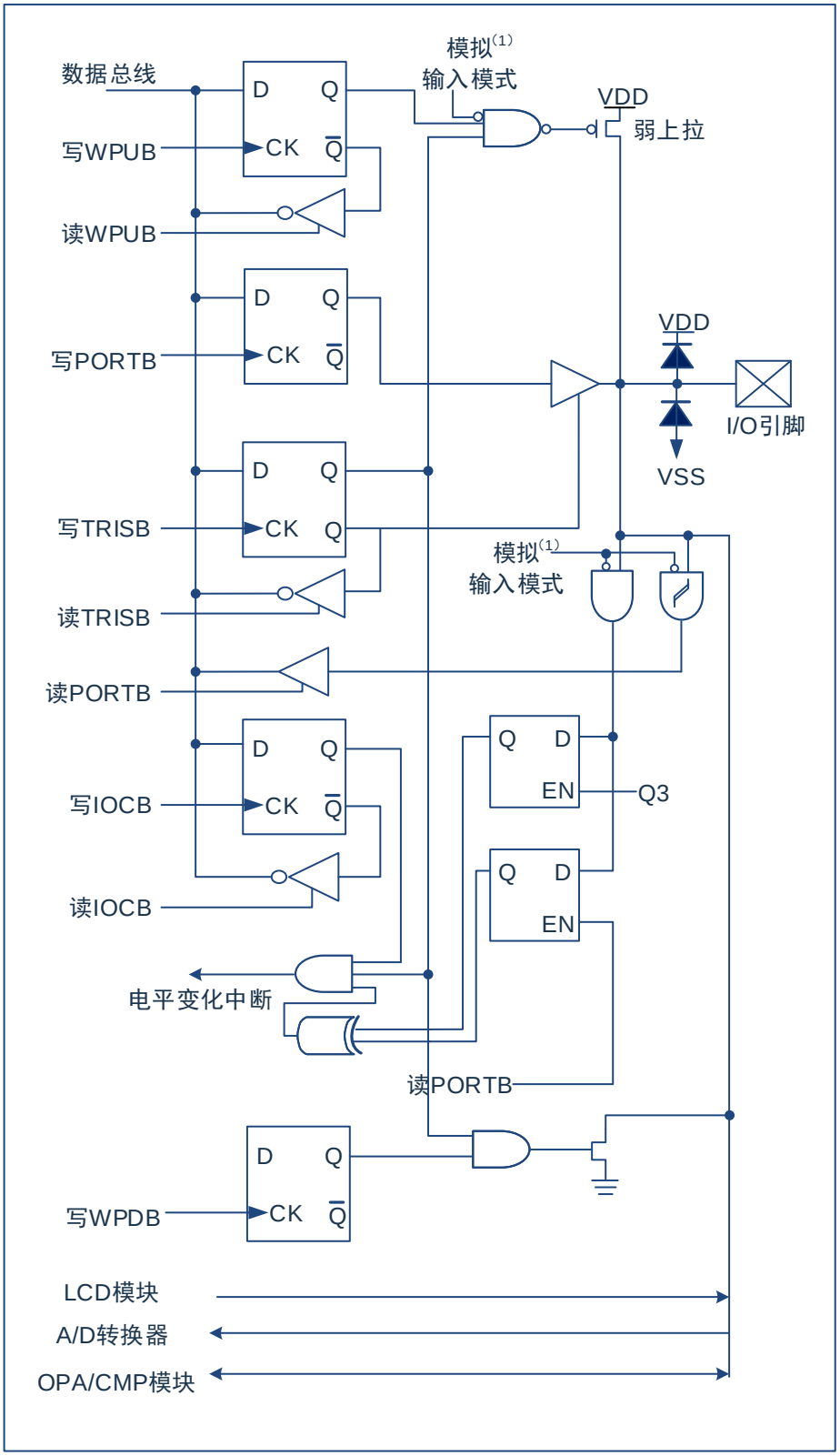

数据总线
写WPUB
读WPUB
写PORTB
写TRISB
读TRISB
读PORTB
写IOCB
读IOCB
电平变化中断
写WPDB
LCD模块
A/D转换器
OPA/CMP模块
D
Q
CK
Q̄
模拟(1)
输入模式
VDD
弱上拉
VDD
VSS
I/O引脚
模拟(1)
输入模式
Q
D
EN
Q3
Q
D
EN
读PORTB

图 6-2：I/O 口结构图

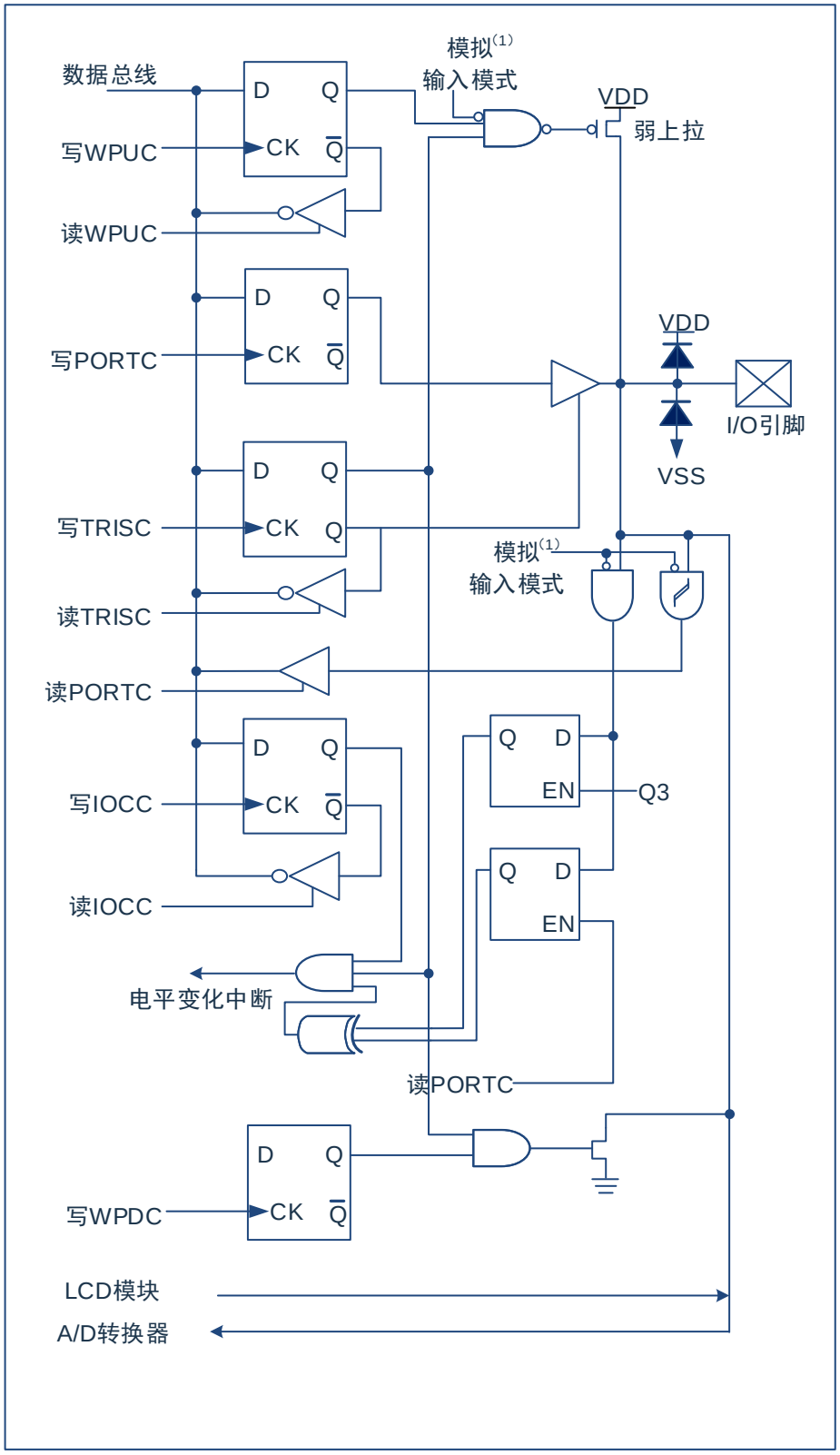

数据总线
写WPUC
读WPUC
写PORTC
写TRISC
读TRISC
读PORTC
写IOCC
读IOCC
电平变化中断
写WPDC
LCD模块
A/D转换器
D
Q
CK
Q̄
模拟(1)
输入模式
VDD
弱上拉
VDD
VSS
I/O引脚
模拟(1)
输入模式
Q
D
EN
Q3
Q
D
EN
读PORTC
D
Q
CK
Q̄

图 6-3：I/O 口结构图

6.2 PORTA

6.2.1 PORTA 数据及方向控制

PORTA 是 8Bit 宽的双向端口。它所对应的数据方向寄存器是 TRISA。将 TRISA 的一个位置 1（=1）可以将相应的引脚配置为输入。清零 TRISA 的一个位（= 0）可将相应的 PORTA 引脚配置为输出。

读 PORTA 寄存器读的是引脚的状态而写该寄存器将会写入端口锁存器。所有写操作都是读－修改－写操作。因此，写一个端口就意味着先读该端口的引脚电平，修改读到的值，然后再将改好的值写入端口数据锁存器。即使在 PORTA 引脚用作模拟输入时，TRISA 寄存器仍然控制 PORTA 引脚的方向。当将 PORTA 引脚用作模拟输入时，用户必须确保 TRISA 寄存器中的位保持为置 1 状态。配置为模拟输入的 I/O 引脚总是读为 0。

与 PORTA 口相关寄存器有 PORTA、TRISA、WPUA、WPDA、IOCA、ANSEL0 等。

PORTA 数据寄存器 PORTA (05H)

05H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

Bit7~Bit0　　PORTA<7:0>:　PORTAI/O 引脚位；
1=　端口引脚电平>V_{IH}；
0=　端口引脚电平<V_{IL}。

PORTA 方向寄存器 TRISA(85H)

85H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TRISA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

Bit7~Bit0　　TRISA<7:0>:　PORTA 三态控制位；
1=　PORTA 引脚被配置为输入（三态）；
0=　PORTA 引脚被配置为输出。

例：PORTA 口处理程序

```
LDIA    B'11110000'    ;设置PORTA<3:0>为输出口，PORTA<7:4>为输入口
LD      TRISA,A
LDIA    03H            ;PORTA<1:0>输出高电平，PORTA<3:2>输出低电平
LD      PORTA,A        ;由于PORTA<7:4>为输入口，所以赋0或1都没影响
```

6.2.2 PORTA 模拟选择控制

ANSEL0 寄存器用于将 I/O 引脚的输入模式配置为模拟模式。将 ANSEL0 中适当的位置 1 将导致对相应引脚的所有数字读操作返回 0，并使引脚的模拟功能正常工作。ANSEL0 位的状态对数字输出功能没有影响。TRIS 清零且 ANSEL0 置 1 的引脚仍作为数字输出，但输入模式将成为模拟模式。这会导致在受影响的端口上执行读－修改－写操作时产生不可预计的结果。

PORTA 模拟选择寄存器 ANSEL0(110H)

110H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ANSEL0	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　ANS<7:0>:　模拟选择位,分别选择引脚 AN<7:0>的模拟或数字功能。
1=　模拟输入。引脚被分配为模拟输入。
0=　数字 I/O。引脚被分配给端口或特殊功能。

注：ANS 与 PORT 口不是对应的，具体对应关系可查看管脚图。

6.2.3 PORTA 上拉电阻

每个 PORTA 引脚都有可单独配置的内部弱上拉。控制位 WPUA<7:0>使能或禁止每个弱上拉。

PORTA 上拉电阻寄存器 WPUA(07H)

07H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WPUA	WPUA7	WPUA6	WPUA5	WPUA4	WPUA3	WPUA2	WPUA1	WPUA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　WPUA<7:0>:　弱上拉寄存器位。
1=　使能上拉。
0=　禁止上拉。

注：如果引脚被配置为输出，将自动禁止弱上拉。

6.2.4 PORTA 下拉电阻

每个 PORTA 引脚都有可单独配置的内部弱下拉。控制位 WPDA<7:0>使能或禁止每个弱下拉。

PORTA 下拉电阻寄存器 WPDA（113H）

113H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WPDA	WPDA7	WPDA6	WPDA5	WPDA4	WPDA3	WPDA2	WPDA1	WPDA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　WPDA<7:0>:　弱下拉寄存器位。
1=　使能下拉。
0=　禁止下拉。

注：如果引脚被配置为输出，将自动禁止弱下拉。

6.2.5 PORTA 电平变化中断

所有的 PORTA 引脚都可以被单独配置为电平变化中断引脚。控制位 IOCA<7:0>允许或禁止每个引脚的该中断功能。上电复位时禁止引脚的电平变化中断功能。

对于已允许电平变化中断的引脚，则将该引脚上的值与上次读 PORTA 时锁存的旧值进行比较。将与上次读操作“不匹配”的输出一起进行逻辑或运算，以将 PIR2 寄存器中的 PORTA 电平变化中断标志位（RACIF）置 1。

该中断可将器件从休眠中唤醒，用户可在中断服务程序中通过以下方式清除中断：

- 对 PORTA 进行读或写操作。这将结束引脚电平的不匹配状态。
- 将标志位 RACIF 清零。

不匹配状态会不断将 RACIF 标志位置 1。而读或写 PORTA 将结束不匹配状态，并且允许将 RACIF 标志位清零。锁存器将保持最后一次读取的值不受欠压复位的影响。在复位之后，如果不匹配仍然存在，RACIF 标志位将继续置 1。

注：如果在执行读取操作时（Q2 周期的开始）I/O 引脚的电平发生变化，则 RACIF 中断标志位不会被置 1。此外，由于对端口的读或写影响到该端口的所有位，所以在电平变化中断模式下使用多个引脚的时候必须特别小心。在处理一个引脚电平变化的时候可能不会注意到另一个引脚上的电平变

PORTA 电平变化中断寄存器 IOCA(188H)

188H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IOCA	IOCA7	IOCA6	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　IOCA<7:0>　PORTA 的电平变化中断控制位。
1=　允许电平变化中断。
0=　禁止电平变化中断。

6.3 PORTB

6.3.1 PORTB 数据及方向

PORTB 是一个 8Bit 宽的双向端口。对应的数据方向寄存器为 TRISB。将 TRISB 中的某个位置 1（=1）可以使对应的 PORTB 引脚作为输入引脚。将 TRISB 中的某个位清零（=0）将使对应的 PORTB 引脚作为输出引脚。

读 PORTB 寄存器读的是引脚的状态而写该寄存器将会写入端口锁存器。所有写操作都是读－修改－写操作。因此，写一个端口就意味着先读该端口的引脚电平，修改读到的值，然后再将改好的值写入端口数据锁存器。即使在 PORTB 引脚用作模拟输入时，TRISB 寄存器仍然控制 PORTB 引脚的方向。当将 PORTB 引脚用作模拟输入时，用户必须确保 TRISB 寄存器中的位保持为置 1 状态。配置为模拟输入的 I/O 引脚总是读为 0。

与 PORTB 口相关寄存器有 PORTB、TRISB、WPUB、WPDB、IOCB、ANSEL1 等。

PORTB 数据寄存器 PORTB(06H)

06H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

Bit7~Bit0　　PORTB<7:0>:　PORTBI/O 引脚位。
1=　端口引脚电平>V_{IH}。
0=　端口引脚电平<V_{IL}。

PORTB 方向寄存器 TRISB (86H)

86H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

Bit7~Bit0　　TRISB<7:0>:　PORTB 三态控制位。
1=　PORTB引脚被配置为输入（三态）。
0=　PORTB引脚被配置为输出。

例：PORTB 口处理程序

```
CLR     PORTB       ;清数据寄存器
LDIA    B'00110000' ;设置 PORTB<5:4>为输入口，其余为输出口
LD      TRISB,A
```

6.3.2 PORTB 模拟选择控制

ANSEL1 寄存器用于将 I/O 引脚的输入模式配置为模拟模式。将 ANSEL1 中适当的位置 1 将导致对相应引脚的所有数字读操作返回 0，并使引脚的模拟功能正常工作。ANSEL1 位的状态对数字输出功能没有影响。TRIS 清零且 ANSEL1 置 1 的引脚仍作为数字输出，但输入模式将成为模拟模式。这会导致在受影响的端口上执行读－修改－写操作时产生不可预计的结果。

PORTB 模拟选择寄存器 ANSEL1(111H)

111H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ANSEL1	----	----	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8
R/W	----	----	R/W	R/W	R/W	R/W	R/W	R/W
复位值	----	----	0	0	0	0	0	0

Bit7~Bit6　　未用

Bit5~Bit0　　ANS<13:8>:　模拟选择位,分别选择引脚 AN<13:8>的模拟或数字功能。

1=　模拟输入。引脚被分配为模拟输入。

0=　数字 I/O。引脚被分配给端口或特殊功能。

注：ANS 与 PORT 口不是对应的，具体对应关系可查看管脚图。

6.3.3 PORTB 下拉电阻

每个 PORTB 引脚都有可单独配置的内部弱下拉。控制位 WPDB<7:0>使能或禁止每个弱下拉。

PORTB 下拉电阻寄存器 WPDB(87H)

87H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WPDB	WPDB7	WPDB6	WPDB5	WPDB4	WPDB3	WPDB2	WPDB1	WPDB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　WPDB<7:0>:　弱下拉寄存器位。

1=　使能下拉。

0=　禁止下拉。

注：如果引脚被配置为输出，将自动禁止弱下拉。

6.3.4 PORTB 上拉电阻

每个 PORTB 引脚都有可单独配置的内部弱上拉。控制位 WPUB<7:0>使能或禁止每个弱上拉。

PORTB 上拉电阻寄存器 WPUB(08H)

08H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WPUB	WPUB7	WPUB6	WPUB5	WPUB4	WPUB3	WPUB2	WPUB1	WPUB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　WPUB<7:0>:　弱上拉寄存器位。
1=　使能上拉。
0=　禁止上拉。

注：如果引脚被配置为输出，将自动禁止弱上拉。

6.3.5 PORTB 电平变化中断

所有的 PORTB 引脚都可以被单独配置为电平变化中断引脚。控制位 IOCB<7:0>允许或禁止每个引脚的该中断功能。上电复位时禁止引脚的电平变化中断功能。

对于已允许电平变化中断的引脚，则将该引脚上的值与上次读 PORTB 时锁存的旧值进行比较。将与上次读操作“不匹配”的输出一起进行逻辑或运算，以将 INTCON 寄存器中的 PORTB 电平变化中断标志位（RBIF）置 1。

该中断可将器件从休眠中唤醒，用户可在中断服务程序中通过以下方式清除中断：

- 对 PORTB 进行读或写操作。这将结束引脚电平的不匹配状态。
- 将标志位 RBIF 清零。

不匹配状态会不断将 RBIF 标志位置 1。而读或写 PORTB 将结束不匹配状态，并且允许将 RBIF 标志位清零。锁存器将保持最后一次读取的值不受欠压复位的影响。在复位之后，如果不匹配仍然存在，RBIF 标志位将继续置 1。

注：如果在执行读取操作时（Q2 周期的开始）I/O 引脚的电平发生变化，则 RBIF 中断标志位不会被置 1。此外，由于对端口的读或写影响到该端口的所有位，所以在电平变化中断模式下使用多个引脚的时候必须特别小心。在处理一个引脚电平变化的时候可能不会注意到另一个引脚上的电平变化。

PORTB 电平变化中断寄存器 IOCB(09H)

09H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IOCB	IOCB7	IOCB6	IOCB5	IOCB4	IOCB3	IOCB2	IOCB1	IOCB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　IOCB<7:0>　PORTB 的电平变化中断控制位。
1=　允许电平变化中断。
0=　禁止电平变化中断。

6.4 PORTC

6.4.1 PORTC 数据及方向

PORTC 是一个 2Bit 宽的双向端口。对应的数据方向寄存器为 TRISC。将 TRISB 中的某个位置 1（=1）可以使对应的 PORTC 引脚作为输入引脚。将 TRISC 中的某个位清零（=0）将使对应的 PORTC 引脚作为输出引脚。

读 PORTC 寄存器读的是引脚的状态而写该寄存器将会写入端口锁存器。所有写操作都是读－修改－写操作。因此，写一个端口就意味着先读该端口的引脚电平，修改读到的值，然后再将改好的值写入端口数据锁存器。即使在 PORTC 引脚用作模拟输入时，TRISC 寄存器仍然控制 PORTC 引脚的方向。当将 PORTC 引脚用作模拟输入时，用户必须确保 TRISC 寄存器中的位保持为置 1 状态。配置为模拟输入的 I/O 引脚总是读为 0。

与 PORTC 口相关寄存器有 PORTC、TRISC、WPUC、WPDC、IOCC、ANSEL2 等。

PORTC 数据寄存器 PORTC(185H)

185H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PORTC	----	----	----	----	----	----	RC1	RC0
R/W	----	----	----	----	----	----	R/W	R/W
复位值	----	----	----	----	----	----	X	X

Bit7~Bit2　　未用

Bit1~Bit0　　PORTC<1:0>:　PORTC I/O 引脚位。

1=　端口引脚电平>V_{IH}。

0=　端口引脚电平<V_{IL}。

PORTC 方向寄存器 TRISC (186H)

186H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TRISC	----	----	----	----	----	----	TRISC1	TRISC0
R/W	----	----	----	----	----	----	R/W	R/W
复位值	----	----	----	----	----	----	1	1

Bit7~Bit2　　未用

Bit1~Bit0　　TRISC<1:0>:　PORTC 三态控制位。

1=　PORTC引脚被配置为输入（三态）。

0=　PORTC引脚被配置为输出。

例：PORTC 口处理程序

```
CLR     PORTC       ;清数据寄存器
LDIA    B'00000001' ;设置 PORTC<0>为输入口，PORTC<1>为输出口
LD      TRISC,A
```

6.4.2 PORTC 模拟选择控制

ANSEL2 寄存器用于将 I/O 引脚的输入模式配置为模拟模式。将 ANSEL2 中适当的位置 1 将导致对相应引脚的所有数字读操作返回 0，并使引脚的模拟功能正常工作。ANSEL2 位的状态对数字输出功能没有影响。TRIS 清零且 ANSEL2 置 1 的引脚仍作为数字输出，但输入模式将成为模拟模式。这会导致在受影响的端口上执行读－修改－写操作时产生不可预计的结果。

PORTC 模拟选择寄存器 ANSEL2(112H)

112H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ANSEL2	----	----	----	----	ANS19	ANS18	ANS17	ANS16
R/W	----	----	----	----	R/W	R/W	R/W	R/W
复位值	----	----	----	----	0	0	0	0

Bit7~Bit4 未用

Bit3~Bit0 ANS<19:16>: 模拟选择位,分别选择引脚 AN<19:16>的模拟或数字功能。

1= 模拟输入。引脚被分配为模拟输入。

0= 数字 I/O。引脚被分配给端口或特殊功能。

注：ANS 与 PORT 口不是对应的，具体对应关系可查看管脚图。

6.4.3 PORTC 下拉电阻

每个 PORTC 引脚都有可单独配置的内部弱下拉。控制位 WPDC<1:0>使能或禁止每个弱下拉。

PORTC 下拉电阻寄存器 WPDC(114H)

114H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WPDC	----	----	----	----	----	----	WPDC1	WPDC0
R/W	----	----	----	----	----	----	R/W	R/W
复位值	----	----	----	----	----	----	0	0

Bit7~Bit2 未用

Bit1~Bit0 WPDC<1:0>: 弱下拉寄存器位。

1= 使能下拉。

0= 禁止下拉。

注：如果引脚被配置为输出，将自动禁止弱下拉。

6.4.4 PORTC 上拉电阻

每个 PORTC 引脚都有可单独配置的内部弱上拉。控制位 WPUC<1:0>使能或禁止每个弱上拉。

PORTC 上拉电阻寄存器 WPUC(115H)

115H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WPUC	----	----	----	----	----	----	WPUC1	WPUC0
R/W	----	----	----	----	----	----	R/W	R/W
复位值	----	----	----	----	----	----	0	0

Bit7~Bit2 未用

Bit1~Bit0 WPUC<1:0>: 弱上拉寄存器位。

1= 使能上拉。

0= 禁止上拉。

注：如果引脚被配置为输出，将自动禁止弱上拉。

6.4.5 PORTC 电平变化中断

所有的 PORTC 引脚都可以被单独配置为电平变化中断引脚。控制位 IOCC<1:0>允许或禁止每个引脚的该中断功能。上电复位时禁止引脚的电平变化中断功能。

对于已允许电平变化中断的引脚，则将该引脚上的值与上次读 PORTC 时锁存的旧值进行比较。将与上次读操作“不匹配”的输出一起进行逻辑或运算，将 PORTC 电平变化中断标志位（RCCIF）置 1。

该中断可将器件从休眠中唤醒，用户可在中断服务程序中通过以下方式清除中断：

- 对 PORTC 进行读或写操作。这将结束引脚电平的不匹配状态。
- 将标志位 RCCIF 清零。

不匹配状态会不断将 RCCIF 标志位置 1。而读或写 PORTC 将结束不匹配状态，并且允许将 RCCIF 标志位清零。锁存器将保持最后一次读取的值不受欠压复位的影响。在复位之后，如果不匹配仍然存在，RCCIF 标志位将继续置 1。

注：如果在执行读取操作时（Q2 周期的开始）I/O 引脚的电平发生变化，则 RCCIF 中断标志位不会被置 1。此外，由于对端口的读或写影响到该端口的所有位，所以在电平变化中断模式下使用多个引脚的时候必须特别小心。在处理一个引脚电平变化的时候可能不会注意到另一个引脚上的电平变

PORTC 电平变化中断寄存器 IOCC(187H)

187H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IOCC	----	----	----	----	----	----	IOCC1	IOCC0
R/W	----	----	----	----	----	----	R/W	R/W
复位值	----	----	----	----	----	----	0	0

Bit7~Bit2 未用

Bit1~Bit0 IOCC<1:0> PORTC 的电平变化中断控制位。

1= 允许电平变化中断。

0= 禁止电平变化中断。

6.5 I/O 使用

6.5.1 写 I/O 口

芯片的 I/O 口寄存器，和一般通用寄存器一样，可以通过数据传输指令，位操作指令等进行写操作。

例：写 I/O 口程序

```
LD      PORTA,A     ;ACC 值赋给 PORTA 口
CLRB    PORTB,1     ;PORTB.1 口置零
SET     PORTA       ;PORTA 所有输出口置 1
SETB    PORTB,1     ;PORTB.1 口置 1
```

6.5.2 读 I/O 口

例：读 I/O 口程序

```
LD      A,PORTA     ;PORTA 的值赋给 ACC
SNZB    PORTA,1     ;判断 PORTA,1 口是否为 1，为 1 跳过下一条语句
SZB     PORTA,1     ;判断 PORTA,1 口是否为 0，为 0 跳过下一条语句
```

注：当用户读一个 I/O 口状态时，若此 I/O 口为输入口，则用户读回的数据将是此口线外部电平的状态，若此 I/O 口为输出口那么读出的值将会是此口线内部输出寄存器的数据。

6.6 I/O 口使用注意事项

在操作 I/O 口时，应注意以下几个方面：

1. 当 I/O 从输出转换为输入时，要等待几个指令周期的时间，以便 I/O 口状态稳定。
2. 若使用内部上拉电阻，那么当 I/O 从输出转换为输入时，内部电平的稳定时间，与接在 I/O 口上的电容有关，用户应根据实际情况，设置等待时间，以防止 I/O 口误扫描电平。
3. 当 I/O 口为输入口时，其输入电平应在“VDD+0.3V”与“GND-0.3V”之间。若输入口电压不在此范围内可采用如下图所示方法。

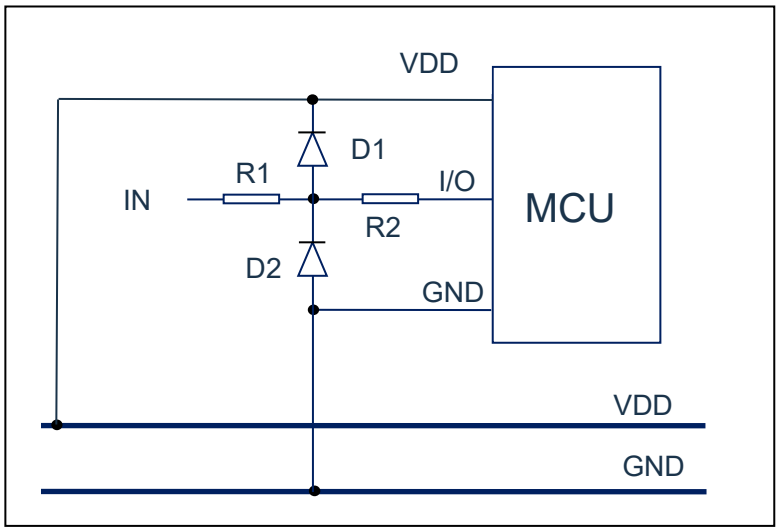


图 6-3：输入电压不在规定范围内采用电路

4. 若在 I/O 口所在线串入较长的连接线，请在靠近芯片 I/O 的地方加上限流电阻以增强 MCU 抗 EMC 能力。

7. 中断

7.1 中断概述

芯片具有以下多种中断源：

- TIMER0 溢出中断
- TIMER1 溢出中断
- TIMER2 匹配中断
- PORTA 电平变化中断
- PORTB 电平变化中断
- PORTC 电平变化中断
- 程序 EEPROM 写操作中断
- IIC 接收/发送中断
- AD 中断
- LVD 中断
- PWM 中断
- INT 中断
- USART 接收/发送中断
- SPI 接收/发送中断
- 触摸按键检测结束中断
- IIC 总线冲突中断

中断控制寄存器（INTCON）和外设中断请求寄存器（PIR1、PIR2）在各自的标志位中记录各种中断请求。INTCON 寄存器还包括各个中断允许位和全局中断允许位。

全局中断允许位 GIE（INTCON<7>）在置 1 时允许所有未屏蔽的中断，而在清零时，禁止所有中断。可以通过 INTCON、PIE1 寄存器中相应的允许位来禁止各个中断。复位时 GIE 被清零。

执行“从中断返回”指令 RETI 将退出中断服务程序并将 GIE 位置 1，从而重新允许未屏蔽的中断。

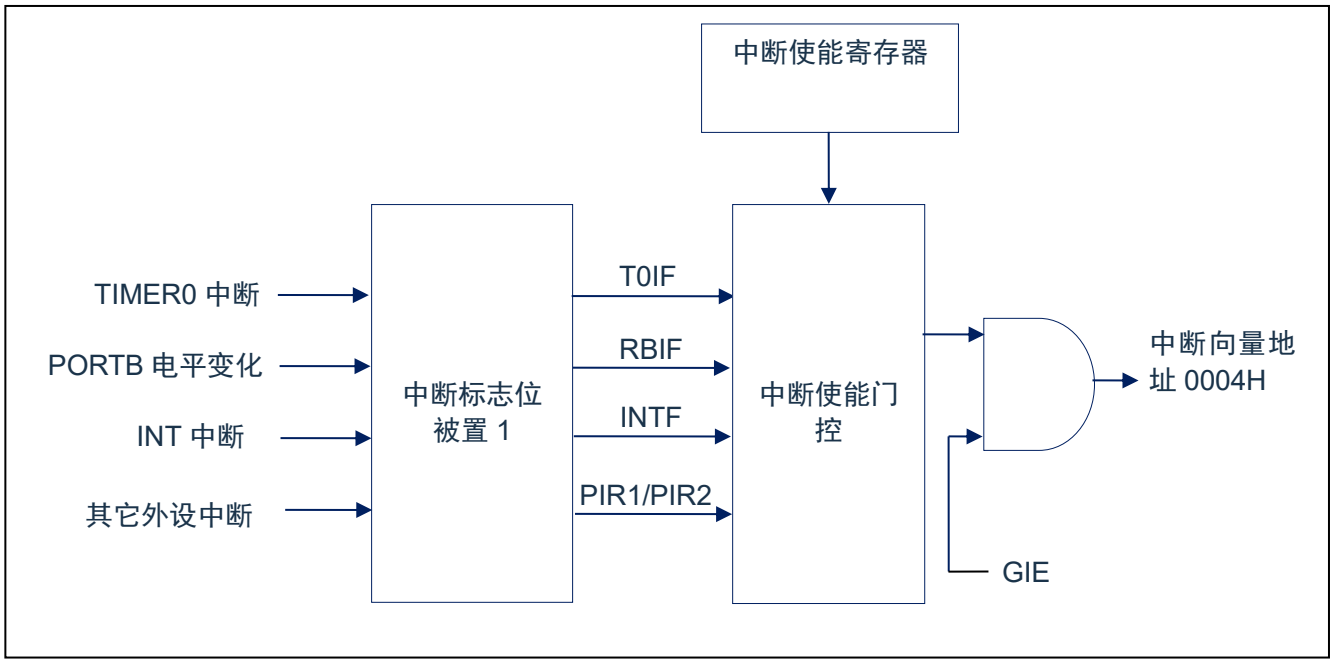


图 7-1：中断原理示意图

7.2 中断控制寄存器

7.2.1 中断控制寄存器

中断控制寄存器 INTCON 是可读写的寄存器，包含 TMR0 寄存器溢出、PORTB 端口电平变化中断等的允许和标志位。

当有中断条件产生时，无论对应的中断允许位或（INTCON 寄存器中的）全局允许位 GIE 的状态如何，中断标志位都将置 1。用户软件应在允许一个中断之前，确保先将相应的中断标志位清零。

中断控制寄存器 INTCON (0BH)

0BH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 GIE: 全局中断允许位；
1= 允许所有未被屏蔽的中断；
0= 禁止所有中断。
Bit6 PEIE: 外设中断允许位；
1= 允许所有未被屏蔽的外设中断；
0= 禁止所有外设中断。
Bit5 T0IE: TIMER0溢出中断允许位；
1= 允许TIMER0中断；
0= 禁止TIMER0中断。
Bit4 INTE: INT外部中断允许位；
1= 允许INT外部中断；
0= 禁止INT外部中断。
Bit3 RBIE: PORTB电平变化中断允许位（1）；
1= 允许PORTB电平变化中断；
0= 禁止PORTB电平变化中断。
Bit2 T0IF: TIMER0溢出中断标志位（2）；
1= TMR0寄存器已经溢出（必须由软件清零）；
0= TMR0寄存器未发生溢出。
Bit1 INTF: INT外部中断标志位；
1= 发生INT外部中断（必须由软件清零）；
0= 未发生INT外部中断。
Bit0 RBIF: PORTB电平变化中断标志位；
1= PORTB端口中至少有一个引脚的电平状态发生了改变（必须由软件清零）；
0= 没有一个PORTB通用I/O引脚的状态发生了改变。

注：
1. IOCB 寄存器也必须使能，相应的口线需设置为输入态
2. T0IF 位在 TMR0 计满归 0 时置 1。复位不会使 TMR0 发生改变，应在将 T0IF 位清零前对其进行初始化。

7.2.2 外设中断允许寄存器

外设中断允许寄存器有 PIE1 和 PIE2，在允许任何外设中断前，必须先将 INTCON 寄存器的 PEIE 位置 1。

外设中断允许寄存器 PIE1(0DH)

0DH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PIE1	TMR1IE	EEIE	RCIE	TXIE	SPIIE	PWMIE	TMR2IE	ADIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 TMR1IE: TIMER1溢出中断允许位；
1= 允许TIMER1溢出中断；
0= 禁止TIMER1溢出中断。

Bit6 EEIE: EEDATA中断允许位
1= 允许EEDATA写中断；
0= 禁止EEDATA写中断。

Bit5 RCIE: USART接收中断允许位
1= 允许USART接收中断；
0= 禁止USART接收中断。

Bit4 TXIE: USART发送中断允许位
1= 允许USART发送中断；
0= 禁止USART发送中断。

Bi3 SPIIE: SPI中断允许位
1= 允许SPI中断；
0= 禁止SPI中断。

Bit2 PWMIE: PWM中断允许位
1= 允许PWM中断；
0= 禁止PWM中断。

Bit1 TMR2IE: TIMER2与PR2匹配中断允许位
1= 允许TMR2与PR2匹配中断；
0= 禁止TMR2与PR2匹配中断。

Bit0 ADIE: AD转换器（ADC）中断允许位
1= 允许ADC中断；
0= 禁止ADC中断。

外设中断允许寄存器 PIE2(108H)

108H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PIE2	---	TKIE	---	IICIE	BCLIE	RCCIE	RACIE	LVDIE
R/W	---	R/W	---	R/W	R/W	R/W	R/W	R/W
复位值	---	0	---	0	0	0	0	0

Bit7 未用

Bit6 TKIE 触摸检测结束中断允许位
1= 允许触摸检测结束中断；
0= 禁止触摸检测结束中断。

Bit5 未用

Bit4 IICIE: IIC中断允许位
1= 允许IIC中断；
0= 禁止IIC中断。

Bit3 BCLIE : 总线冲突中断允许位
1= 允许总线冲突中断；
0= 禁止总线冲突中断。

Bit2 RCCIE: PORTC电平变化中断允许位
1= 允许PORTC电平变化中断；
0= 禁止PORTC电平变化中断。

Bit1 RACIE: PORTA电平变化中断允许位
1= 允许PORTA电平变化中断；
0= 禁止PORTA电平变化中断。

Bit0 LVDIE: LVD中断允许位
1= 允许LVD中断；
0= 禁止LVD中断。

7.2.3 外设中断请求寄存器

外设中断请求寄存器为 PIR1 和 PIR2。当有中断条件产生时，无论对应的中断允许位或全局允许位 GIE 的状态如何，中断标志位都将置 1。用户软件应在允许一个中断之前，确保先将相应的中断标志位清零。

外设中断请求寄存器 PIR1(0CH)

0CH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PIR1	TMR1IF	EEIF	RCIF	TXIF	SPIIF	PWMIF	TMR2IF	ADIF
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 TMR1IF: TIMER1溢出中断标志位。
1= TMR1寄存器溢出（必须由软件清零）；
0= TMR1寄存器未溢出。

Bit6 EEIF: 程序EEPROM写操作中断标志位；
1= 写操作完成（必须由软件清零）；
0= 写操作未完成或尚未启动。

Bit5 RCIF: USART接收中断标志位；
1= USART接收缓冲器非空（通过读RCREG清零）；
0= USART接收缓冲器空。

Bit4 TXIF: USART发送中断标志位；
1= USART发送缓冲器空（通过写TXREG清零）；
0= USART发送缓冲器非空。

Bit3 SPIIF: SPI中断标志位
1= 发生了发送/接收中断（必须由软件清零）；
0= 没有产生SPI中断条件。

Bit2 PWMIF: PWM中断标志位；
1= 发生了PWM中断（必须由软件清零）
0= 未发生PWM中断

Bit1 TMR2IF: TIMER2与PR2匹配中断标志位。
1= 发生了TIMER2与PR2匹配（必须由软件清零）；
0= TIMER2与PR2不匹配。

Bit0 ADIF: AD转换器中断标志位；
1= AD转换完成（必须由软件清零）；
0= AD转换未完成或尚未启动。

外设中断请求寄存器 PIR2(107H)

107H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PIR2	---	TKIF	---	IICIF	BCLIF	RCCIF	RACIF	LVDIF
R/W	---	R/W	---	R/W	R/W	R/W	R/W	R/W
复位值	---	0	---	0	0	0	0	0

Bit7 未用

Bit6 TKIF 触摸检测结束中断标志位

1= 产生了触摸检测结束中断（必须由软件清零）；

0= 未产生触摸检测结束中断。

Bit5 未用

Bit4 IICIF: IIC中断标志位

1= 产生了IIC中断条件，在从中断服务程序返回前必须由软件清零。使该位置1的条件有：

- I^2C从动/主控：
- 发生发送/接收；
- I^2C主控：
- 发生的启动条件由IIC模块完成；
- 发生的停止条件由IIC模块完成；
- 发生的重新启动条件由IIC模块完成；
- 发生的应答条件由IIC模块完成；
- 当IIC模块空闲时发生启动条件（多主机系统）；
- 当IIC模块空闲时发生停止条件（多主机系统）。

0= 没有产生MSSP中断条件。

Bit3 BCLIF: 总线冲突中断标志位

1= 当配置为I^2C主控模式时，IIC模块发生了总线冲突（必须由软件清零）；

0= 未发生总线冲突。

Bit2 RCCIF: PORTC电平变化中断标志位

1= 产生PORTC电平变化中断标志位（必须由软件清零）；

0= 未产生PORTC电平变化中断标志位。

Bit1 RACIF: PORTA电平变化中断标志位

1= 产生PORTA电平变化中断标志位（必须由软件清零）；

0= 未产生PORTA电平变化中断标志位。

Bit0 LVDIF: LVD中断标志位

1= 电源电压低于LVD设定的电压点（必须由软件清零）；

0= 电源电压高于LVD设定的电压点。

7.3 中断现场的保护方法

有中断请求发生并被响应后，程序转至 0004H 执行中断子程序。响应中断之前，必须保存 ACC、STATUS 的内容。芯片没有提供专用的入栈保存和出栈恢复指令，用户需自己保护 ACC 和 STATUS 的内容，以避免中断结束后可能的程序运行错误。

例：对 ACC 与 STATUS 进行入栈保护

```
                ORG     0000H
                JP      START           ;用户程序起始地址
                ORG     0004H
                JP      INT_SERVICE     ;中断服务程序
                ORG     0008H
        START：
                ...
                ...
INT_SERVICE：
        PUSH：                          ;中断服务程序入口，保存 ACC 及 STATUS
                LD      ACC_BAK,A       ;保存 ACC 的值，（ACC_BAK 需自定义）
                SWAPA   STATUS
                LD      STATUS_BAK,A    ;保存 STATUS 的值，（STATUS_BAK 需自定义）
                ...
                ...
         POP：                          ;中断服务程序出口，还原 ACC 及 STATUS
                SWAPA   STATUS_BAK
                LD      STATUS,A        ;还原 STATUS 的值
                SWAPR   ACC_BAK         ;还原 ACC 的值
                SWAPA   ACC_BAK
                RETI
```

7.4 中断的优先级，及多中断嵌套

芯片的各个中断的优先级是平等的，当一个中断正在进行的时候，不会响应另外一个中断，只有执行“RETI”指令后，才能响应下一个中断。

多个中断同时发生时，MCU 没有预置的中断优先级。首先，必须预先设定好各中断的优先权；其次，利用中断使能位和中断控制位，控制系统是否响应该中断。在程序中，必须对中断控制位和中断请求标志进行检测。

8. 定时计数器 TIMER0

8.1 定时计数器 TIMER0 概述

TIMER0 由如下功能组成：

- 8 位定时器/计数器寄存器（TMR0）；
- 8 位预分频器（与看门狗定时器共用）；
- 可编程内部或外部时钟源；
- 可编程外部时钟边沿选择；
- 溢出中断。

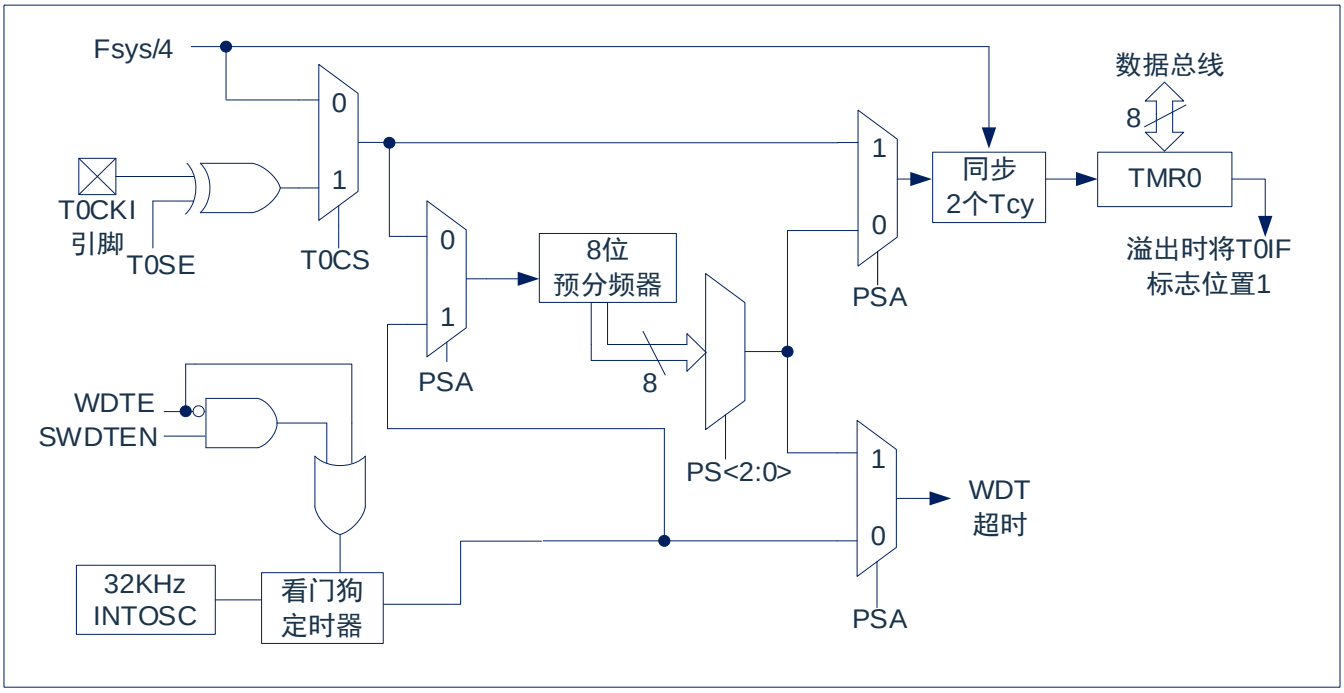


图 8-1：TIMER0/WDT 模块结构图

注：
1. T0SE、T0CS、PSA、PS<2:0>为OPTION_REG寄存器中的位。
2. SWDTEN为OSCCON寄存器中的位。
3. WDTE位于CONFIG中。

8.2 TIMER0 的工作原理

TIMER0 模块既可用作 8 位定时器也可用作 8 位计数器。

8.2.1 8 位定时器模式

用作定时器时，TIMER0 模块将在每个指令周期递增（不带预分频器）。通过将 OPTION_REG 寄存器的 T0CS 位清 0 可选择定时器模式。如果对 TMR0 寄存器执行写操作，则在接下来的两个指令周期将禁止递增。可调整写入 TMR0 寄存器的值，使得在写入 TMR0 时计入两个指令周期的延时。

8.2.2 8 位计数器模式

用作计数器时，TIMER0 模块将在 T0CKI 引脚的每个上升沿或下降沿递增。递增的边沿取决于 OPTION_REG 寄存器的 T0SE 位。通过将 OPTION_REG 寄存器的 T0CS 位置 1 可选择计数器模式。

8.2.3 软件可编程预分频器

TIMER0 和看门狗定时器（WDT）共用一个软件可编程预分频器，但不能同时使用。预分频器的分配由 OPTION_REG 寄存器的 PSA 位控制。要将预分频器分配给 TIMER0，PSA 位必须清 0。

TIMER0 模块具有 8 种预分频比选择，范围为 1:2 至 1:256。可通过 OPTION_REG 寄存器的 PS<2:0>位选择预分频比。要使 TIMER0 模块具有 1:1 的预分频比，必须将预分频器分配给 WDT 模块。

预分频器不可读写。当预分频器分配给 TIMER0 模块时，所有写入 TMR0 寄存器的指令都将使预分频器清零。当预分频器分配给 WDT 时，CLRWDT 指令将同时清零预分频器和 WDT。

8.2.4 在 TIMER0 和 WDT 模块间切换预分频器

将预分频器分配给 TIMER0 或 WDT 后，在切换预分频比时可能会产生无意的器件复位。要将预分频器从分配给 TIMER0 改为分配给 WDT 模块时，必须执行如下所示的指令序列。

更改预分频器（TMR0-WDT）

```
CLRB    INTCON,GIE      ;关中断总使能位,避免在执行以下特定时序时进入中断程序
LDIA    B'00000111'
ORR     OPTION_REG,A    ;预分频器设置为最大值
CLR     TMR0            ;TMR0 清零
SETB    OPTION_REG,PSA  ;设置预分频器分配给 WDT
CLRWDT                  ;WDT 清零
LDIA    B'xxxx1xxx'     ;设置新的预分频器
LD      OPTION_REG,A
CLRWDT                  ;WDT 清零
SETB    INTCON,GIE      ;若程序需要用到中断,此处重新打开总使能位
```

要将预分频器从分配给 WDT 改为分配给 TIMER0 模块，必须执行以下指令序列。

更改预分频器（WDT-TMR0）

```
CLRWDT                  ;WDT 清零
LDIA    B'00xx0xxx'     ;设置新的预分频器
LD      OPTION_REG,A
```

8.2.5 TIMER0 中断

当 TMR0 寄存器从 FFh 溢出至 00h 时，产生 TIMER0 中断。每次 TMR0 寄存器溢出时，不论是否允许 TIMER0 中断，INTCON 寄存器的 T0IF 中断标志位都会置 1。T0IF 位必须在软件中清零。TIMER0 中断允许位是 INTCON 寄存器的 T0IE 位。

注：由于在休眠状态下定时器是关闭的，所以 TIMER0 中断无法唤醒处理器。

8.3 与 TIMER0 相关寄存器

有两个寄存器与 TIMER0 相关，8 位定时器/计数器（TMR0），8 位可编程控制寄存器（OPTION_REG）。

TMR0 为一个 8 位可读写的定时/计数器，OPTION_REG 为一个 8 位只写寄存器，用户可改变 OPTION_REG 的值，来改变 TIMER0 的工作模式等。请参看 2.6 关于预分频寄存器（OPTION_REG）的应用。

8 位定时器/计数器 TMR0(01H)

01H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TMR0								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

OPTION_REG 寄存器(81H)

81H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OPTION_REG	----	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
读写	----	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	----	1	1	1	1	0	1	1

Bit7 未用

Bit6 INTEDG: 中断边沿选择位。
- 1= INT 引脚的上升沿触发中断。
- 0= INT 引脚的下降沿触发中断。

Bit5 T0CS: TMR0 时钟源选择位。
- 1= T0CKI 引脚上的跳变沿。
- 0= 内部指令周期时钟（F_{CPU}）。

Bit4 T0SE: TIMER0 时钟源边沿选择位。
- 1= 在 T0CKI 引脚信号从高电平跳变到低电平时递增。
- 0= 在 T0CKI 引脚信号从低电平跳变到高电平时递增。

Bit3 PSA: 预分频器分配位。
- 1= 预分频器分配给 WDT。
- 0= 预分频器分配给 TIMER0 模块。

Bit2~Bit0 PS2~PS0: 预分频参数配置位。

PS2	PS1	PS0	TMR0 分频比	WDT 分频比
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

9. 定时计数器 TIMER1

9.1 TIMER1 概述

TIMER1 模块是一个 16 位定时器/计数器，具有以下特性：

- 16 位定时器/计数器寄存器（TMR1H:TMR1L）
- 3 位预分频器
- 同步或异步操作
- 溢出时唤醒（仅外部时钟异步模式）
- 可编程内部或外部时钟源
- 可选 LP 振荡器
- 通过比较器或 T1G 引脚门控 TIMER1（使能计数）
- 溢出中断

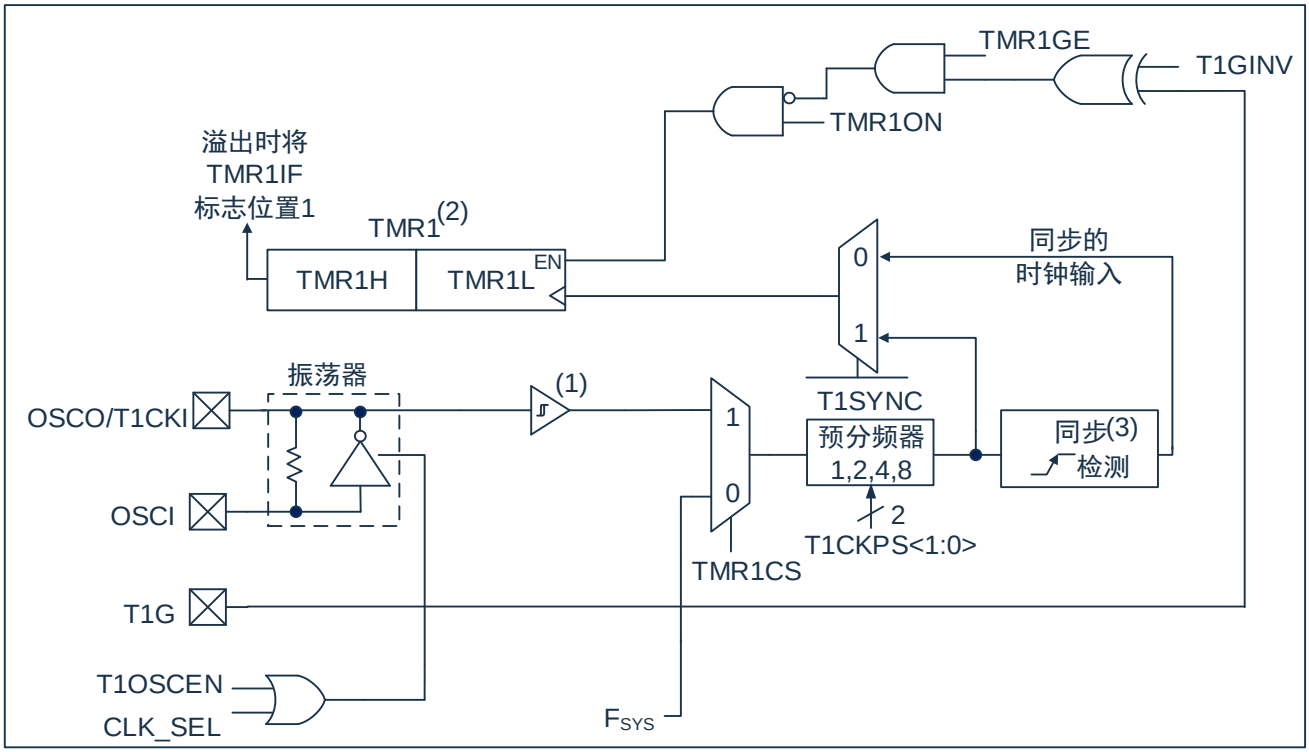


图9-1：TIMER1结构图

注：
1. ST 缓冲器在使用 LP 振荡器时处于低功耗模式，而在使用 T1CKI 时处于高速模式。
2. Timer1 寄存器在上升沿递增。
3. 休眠时不进行同步。

9.2 TIMER1 的工作原理

TIMER1 模块是一个通过一对寄存器 TMR1H：TMR1L 访问的 16 位递增计数器。写入 TMR1H 或 TMR1L 可直接更新该计数器。

当与内部时钟源一同使用时，此模块用作计数器。当与外部时钟源一同使用时，此模块可用作定时器或计数器。

9.3 时钟源选择

T1CON 寄存器的 TMR1CS 位用于选择时钟源。当 TMR1CS=0 时，时钟源的频率为 F_{SYS}。当 TMR1CS=1 时，时钟源由外部提供。

时钟源	TMR1CS
F_{SYS}	0
T1CKI 引脚	1

9.3.1 内部时钟源

选择内部时钟源后，TMR1H:TMR1L 寄存器将以 F_{SYS} 的倍数为频率递增，具体倍数由 TIMER1 预分频器决定。

9.3.2 外部时钟源

选择外部时钟源后，TIMER1 模块可作为定时器或计数器。

计数时，TIMER1 在外部时钟输入 T1CKI 的上升沿递增。此外，计数器模式下的时钟可与单片机系统时钟同步或异步。

如需一个外部时钟振荡器，TIMER1 可使用 LP 振荡器作为时钟源。

在计数器模式下，在出现以下一个或多个条件时，必须先经过一个下降沿，计数器才可以在随后的上升沿进行第一次递增计数（见图 9-2）：

- 使能 TIMER1。
- 对 TMR1H 或 TMR1L 执行了写操作。
- 禁止 TIMER1 时，T1CKI 为高电平；当重新使能 TIMER1 时，T1CKI 为低电平。

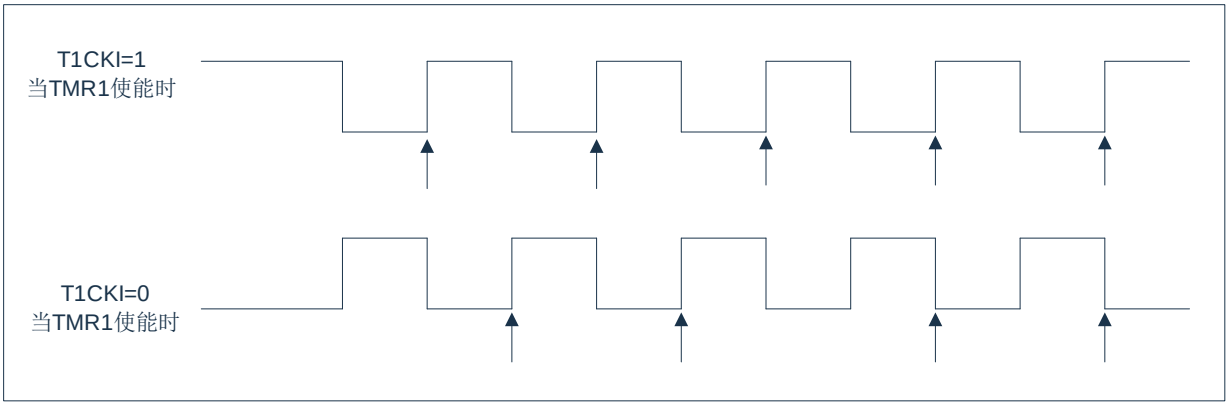


图 9-2：TIMER1 的递增边沿

注：
1. 箭头表示计数器递增。
2. 在计数器模式下，必须先经过一个下降沿，计数器才可以在随后的上升沿进行第一次递增技数。

9.4 TIMER1 预分频器

TIMER1 具有四种预分频比选择，允许对输入时钟进行 1、2、4 或 8 分频。T1CON 寄存器的 T1CKPS 位控制预分频计数器。不能直接对预分频计数器进行读或写操作；但是，通过写入 TMR1H 或 TMR1L 可清零预分频计数器。

9.5 TIMER1 振荡器

在 OSI（输入）引脚和 OSO（放大器输出）引脚之间连接有一个低功耗 32.768KHz 振荡器(需外接晶振)。将 T1CON 寄存器的 T1OSCEN 控制位置 1 可使能该振荡器。此振荡器将在休眠模式下继续运行，但是必须使 TIMER1 选择为异步计数模式。

TIMER1 振荡器与 LP 振荡器完全相同。用户必须提供软件延时，以保证振荡器正常振荡。

使能 TIMER1 振荡器时 TRISB0 和 TRISB1 位被置 1。

RB0 和 RB1 位读为 0 且 TRISB0 和 TRISB1 位读为 1。

> 注：振荡器需要经过一段起振和稳定时间后才能使用。因此，在使能 TIMER1 前应将 T1OSCEN 置 1 并经过适当的延时。

9.6 在异步计数器模式下的 TIMER1 工作原理

如果 T1CON 寄存器中的控制位 T1SYNC 被置 1，外部时钟输入就不同步。定时器继续进行与内部相位时钟异步的递增计数。在休眠状态下定时器仍将继续运行，并在溢出时产生中断，从而唤醒处理器。但是，再用软件对定时器进行读/写操作时应该特别小心（请参见 9.6.1 节“

异步计数器模式下对 TIMER1 的读写操作”）。

> 注：
> 1. 当从同步操作切换到异步操作时，有可能漏过一个递增。
> 2. 当从异步操作切换到同步操作时，有可能产生一个误递增。

9.6.1 异步计数器模式下对 TIMER1 的读写操作

当定时器采用外部异步时钟工作时，对 TMR1H 或 TMR1L 的读操作将确保有效（由硬件负责）。但用户应牢记，用读两个 8 位值来读一个 16 位定时器本身就存在问题，这是因为在两次读操作之间定时器可能会溢出。

对于写操作，建议用户停止定时器后再写入所需数值。当寄存器正在递增计数时，向定时器的寄存器写入数据可能会产生写争用。从而会在 TMR1H:TMR1L 这对寄存器中产生不可预测的值。

9.7 TIMER1 门控

可用软件将 TIMER1 门控信号源配置为 T1G 引脚。这让器件可以直接使用 T1G 为外部事件定时。

注：必须将 T1CON 寄存器的 TMR1GE 位置 1 以使用 TIMER1 的门控信号。

可使用 T1CON 寄存器的 T1GINV 位来设置 TIMER1 门控信号的极性，门控信号可以来自 T1G 引脚。该位可将 TIMER1 配置为对事件之间的高电平时间或低电平时间进行计时。

9.8 TIMER1 中断

一对 TIMER1 寄存器（TMR1H:TMR1L）递增计数到 FFFFH 后，将溢出返回 0000H。当 TIMER1 溢出时，PIR1 寄存器的 TIMER1 中断标志位被置 1。要允许该溢出中断，用户应将以下位置 1：

- PIE1 寄存器中的 TIMER1 中断允许位；
- INTCON 寄存器中的 PEIE 位；
- INTCON 寄存器中的 GIE 位。

在中断服务程序中将 TMR1IF 位清零可以清除该中断。

注：再次允许该中断前，应将 TMR1H:TMR1L 这对寄存器以及 TMR1IF 位清零。

9.9 休眠期间的 TIMER1 工作原理

只有设置为异步计数器模式时，TIMER1 才可在休眠模式下工作。在该模式下，可使用外部晶振或时钟源使计数器进行递增计数。通过如下设置使定时器能够唤醒器件：

- T1CON 寄存器中的 TMR1ON 位必须置 1；
- PIE1 寄存器中的 TMR1IE 位必须置 1；
- INTCON 寄存器中的 PEIE 位必须置 1。

器件将在溢出时被唤醒并执行下一条指令。如果 INTCON 寄存器中的 GIE 位置 1，器件将调用中断服务程序（0004h）。

9.10 TIMER1 控制寄存器

TIMER1 控制寄存器 T1CON(19BH)

19BH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 T1GINV: TIMER1 门控信号极性位；
1= TIMER1 门控信号高电平有效（当门控信号为高电平时 TIMER1 计数）；
0= TIMER1 门控信号低电平有效（当门控信号为低电平时 TIMER1 计数）。

Bit6 TMR1GE: TIMER1 门控使能位。
如果TMR1ON=0，此位被忽略。
如果 TMR1ON=1: 1=TIMER1 计数由 TIMER1 门控功能控制；
0=TIMER1 始终计数。

Bit5~Bit4 T1CKPS<1:0>: TIMER1 输入时钟预分频比选择位；
11= 1:8 预分频比；
10= 1:4 预分频比；
01= 1:2 预分频比；
00= 1:1 预分频比。

Bit3 T1OSCEN: LP 振荡器使能控制位；
1= 使能 LP 振荡器作为 TIMER1 的时钟源；
0= LP 振荡器关闭。

Bit2 T1SYNC: TIMER1 外部时钟输入同步控制位。
TMR1CS=1: 1= 不与外部时钟输入同步；
0= 与外部时钟输入同步。
TMR1CS=0：忽略此位，TIMER1 使用内部时钟。

Bit1 TMR1CS: TIMER1 时钟源选择位；
1= 来自 LP 振荡器时钟源（上升沿触发）；
0= 内部时钟源 FSYS。

Bit0 TMR1ON: TIMER1 使能位；
1= 使能 TIMER1；
0= 禁止 TIMER1。

注：使能 LP 振荡，需要起振时间理论值为 32ms，实际可能更大

10. 定时计数器 TIMER2

10.1 TIMER2 概述

TIMER2 模块是一个 8 位定时器/ 计数器，具有以下特性：

- 8 位定时器寄存器（TMR2）；
- 8 位周期寄存器（PR2）；
- TMR2 与 PR2 匹配时中断；
- 软件可编程预分频比（1:1，1:4 和 1:16）；
- 软件可编程后分频比（1:1 至 1:16）。
- 可选 LP 振荡(外部 32.768KHz)

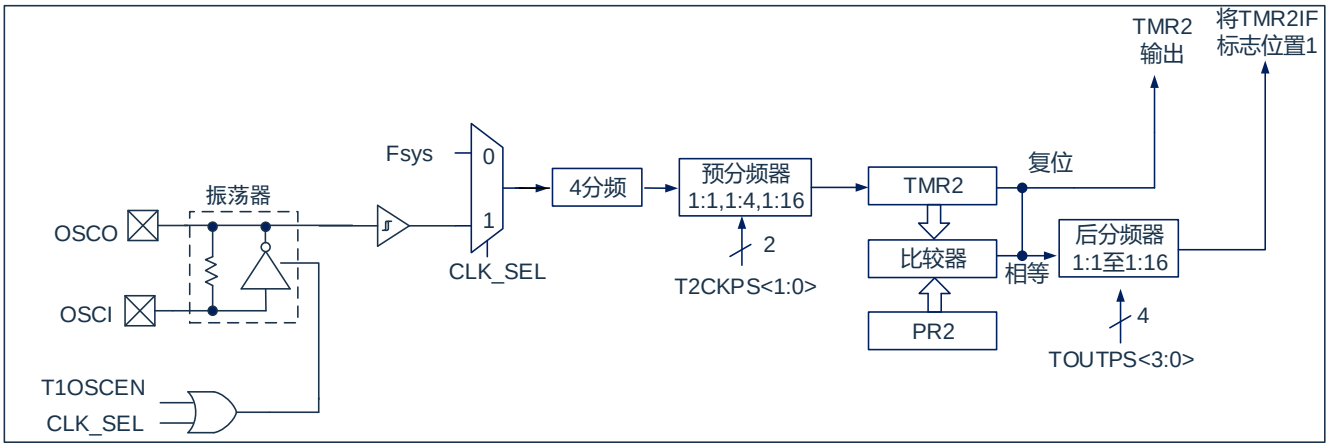


图 10-1：TIMER2 框图

10.2 TIMER2 的工作原理

TIMER2 模块的输入时钟是系统时钟（F_{sys}）或外部 32.768kHz 振荡。时钟经过 4 分频后被输入到 TIMER2 预分频器，有如下几种分频比可供选择：1:1、1:4 或 1:16。预分频器的输出随后用于使 TMR2 寄存器递增。

持续将 TMR2 和 PR2 的值做比较以确定它们何时匹配。TMR2 将从 00h 开始递增直至与 PR2 中的值匹配。匹配发生时，会发生以下两个事件：

- TMR2 在下一递增周期被复位为 00h；
- TIMER2 后分频器递增。

TIMER2 与 PR2 比较器的匹配输出随后输入给 TIMER2 的后分频器。后分频器具有 1:1 至 1:16 的预分频比可供选择。TIMER2 后分频器的输出用于使 PIR1 寄存器的 TMR2IF 中断标志位置 1。

TMR2 和 PR2 寄存器均可读写。任何复位时，TMR2 寄存器均被设置为 00h 且 PR2 寄存器被设置为 00h。

通过将 T2CON 寄存器的 TMR2ON 位置 1 使能 TIMER2；通过将 TMR2ON 位清零禁止 TIMER2。

TIMER2 预分频器由 T2CON 寄存器的 T2CKPS 位控制；TIMER2 后分频器由 T2CON 寄存器的 TOUTPS 位控制。

预分步器和后分步器计数器在以下情况下被清零：

- TMR2ON=0 时；
- 发生任何器件复位（上电复位、看门狗定时器复位或欠压复位）。

注：
1. 写 T2CON 不会将 TMR2 清零，在 TMR2ON=0 时，TMR2 寄存器不能进行写操作
2. PR2 寄存器的复位值为 00H，在使用 TIMER2 时，注意先设置 PR2 寄存器以避免误触发匹配

10.3 TIMER2 相关的寄存器

有 3 个寄存器与 TIMER2 相关，分别是数据存储器 TMR2、PR2 和控制寄存器 T2CON。

TIMER2 数据寄存器 TMR2(11H)

11H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TMR2								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

TIMER2 周期寄存器 PR2(91H)

91H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PR2								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

TIMER2 控制寄存器 T2CON(12H)

12H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2CON	CLK_SEL	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 CLK_SEL: 时钟源选择；
1= 选择外部 32.768kHz 振荡/4 作为 TMR2 时钟源（休眠态可继续计数）；
0= 选择内部 F_{sys}/4 作为 TMR2 时钟源。

Bit6~Bit3 TOUTPS<3:0>: TIMER2 输出后分频比选择位。
0000= 1:1 后分频比；
0001= 1:2 后分频比；
0010= 1:3后分频比；
0011= 1:4 后分频比；
0100= 1:5 后分频比；
0101= 1:6 后分频比；
0110= 1:7 后分频比；
0111= 1:8 后分频比；
1000= 1:9 后分频比；
1001= 1:10 后分频比；
1010= 1:11 后分频比；
1011= 1:12 后分频比；
1100= 1:13 后分频比；
1101= 1:14 后分频比；
1110= 1:15 后分频比；
1111= 1:16 后分频比。

Bit2 TMR2ON: TIMER2 使能位；
1= 使能 TIMER2；
0= 禁止 TIMER2。

Bit1~Bit0 T2CKPS<1:0>: TIMER2 时钟预分频比选择位；
00= 预分频值为 1；
01= 预分频值为 4；
1x= 预分频值为 16。

注：使能 LP 振荡，需要起振时间理论值为 32ms，实际可能更大

11. 模数转换（ADC）

11.1 ADC 概述

模数转换器（ADC）可以将模拟输入信号转换为表示该信号的一个 12 位二进制数。器件使用的模拟输入通道共用一个采样保持电路。采样保持电路的输出与模数转换器的输入相连。模数转换器采用逐次逼近法产生一个 12 位二进制结果，并将该结果保存在 ADC 结果寄存器（ADRESL 和 ADRESH）中。

ADC 参考电压可以选择内部 LDO 或 VDD。ADC 在转换完成之后可以产生一个中断。

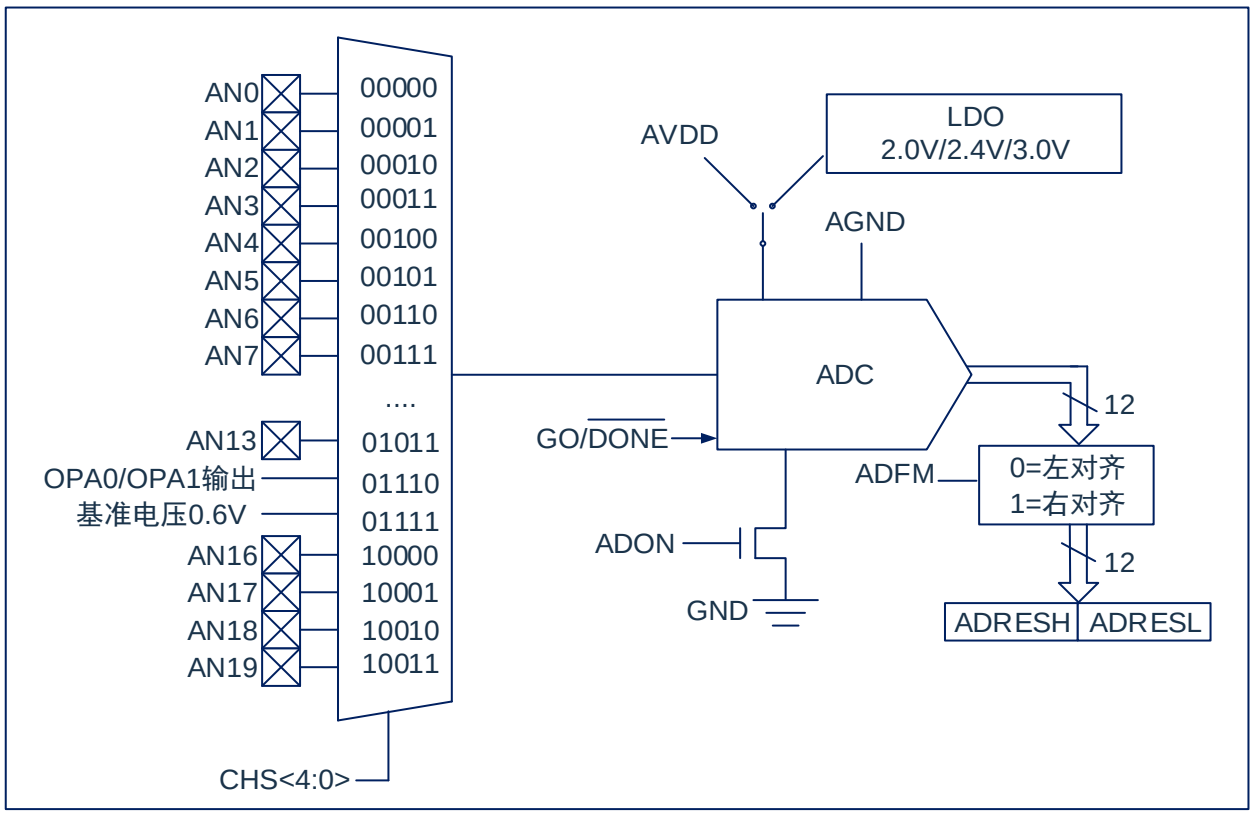


图 11-1：ADC 框图

11.2 ADC 配置

配置和使用 ADC 时，必须考虑如下因素：

- 端口配置；
- 参考电压选择；
- 通道选择；
- AD 转换时钟源；
- 中断控制；
- 结果的存储格式。

11.2.1 端口配置

ADC 既可以转换模拟信号，又可以转换数字信号。当转换模拟信号时，应该通过将相应的 TRIS 位置 1，将 I/O 引脚配置为模拟输入引脚。更多信息请参见相应的端口章节。

注：对定义为数字输入的引脚施加模拟电压可能导致输入缓冲器出现过电流。

11.2.2 通道选择

由 ADCON0 和 ADCON1 寄存器的 CHS 位决定将哪个通道连接到采样保持电路。

如果更改了通道，在下一次转换开始前需要一定的延迟。更多信息请参见“ADC 工作原理”章节。

11.2.3 ADC 内部基准电压

芯片内置基准电压 0.6V，需要检测该基准电压时，需把设置 CHS[4:0]位为 01111。

11.2.4 ADC 参考电压

ADC 的参考电压可选择内部 LDO 输出或芯片的 VDD 和 GND 提供。内部参考电压可选 2.0V/2.4V/3.0V。当选择内部参考电压时，需要选择较慢的转换时钟，参考转换时钟章节。

注：当选择内部 LDO 作为参考电压时，ADC 有效精度会下降。检测电压越低，得到的 ADC 精度越高，建议输入电压设置为<1V。

11.2.5 转换时钟

可以通过软件设置 ADCON0 寄存器的 ADCS 位来选择转换的时钟源。有以下 4 种可能的时钟频率 F_{ADCCLK} 可供选择：

- $F_{SYS}/8$
- $F_{SYS}/32$
- $F_{SYS}/16$
- $F_{SYS}/128$

完成一位转换的时间定义为 T_{ADCCLK}。一个完整的 12 位转换需要 16 个 T_{ADCCLK} 周期。

必须符合相应的 TAD 规范，才能获得正确的转换结果，下表为正确选择 ADC 时钟的示例。

ADC 时钟周期（TAD）与器件工作频率的关系（VDD=5V）

ADC 时钟选择		器件工作频率		
ADC 时钟源	ADCS<1:0>	F_{SYS} = 16MHz	F_{SYS} = 8MHz	F_{SYS} = 4MHz
$F_{SYS}/8$	00	8μs	16μs	32μs
$F_{SYS}/16$	01	16μs	32μs	64μs
$F_{SYS}/32$	10	32μs	64μs	128μs
$F_{SYS}/128$	11	128μs	256μs	512μs

注：建议不要使用阴影单元内的值。

注：系统时钟频率的任何改变都会改变 ADC 时钟的频率，从而对 ADC 转换结果产生负面影响。

11.2.6 ADC 中断

ADC 模块允许在完成模数转换后产生一个中断。ADC 中断标志位是 PIR1 寄存器中的 ADIF 位。ADC 中断允许位是 PIE1 寄存器中的 ADIE 位。ADIF 位必须用软件清零。每次转换结束后 ADIF 位都会被置 1，与是否允许 ADC 中断无关。

11.2.7 结果格式化

12 位 AD 转换的结果可采用两种格式：左对齐或右对齐。由 ADCON1 寄存器的 ADFM 位控制输出格式。

当 ADFM=0 时，AD 转换结果左对齐，AD 转换结果为 12Bit；当 ADFM=1 时，AD 转换结果右对齐，AD 转换结果为 10Bit。

11.3 ADC 工作原理

11.3.1 启动转换

要使能 ADC 模块，必须将 ADCON0 寄存器的 ADON 位置 1，将 ADCON0 寄存器的 GO/$\overline{\text{DONE}}$位置 1 开始模数转换。

注：不能用开启 AD 模块的同一指令将 GO/$\overline{\text{DONE}}$位置 1。

11.3.2 完成转换

当转换完成时，ADC 模块将：

- 清零 GO/$\overline{\text{DONE}}$位；
- 将 ADIF 标志位置 1；
- 用转换的新结果更新 ADRESH:ADRESL 寄存器。

11.3.3 终止转换

如果必须要在转换完成前终止转换，则可用软件清零 GO/$\overline{\text{DONE}}$位。不会用尚未完成的模数转换结果更新 ADRESH:ADRESL 寄存器。因此，ADRESH:ADRESL 寄存器将保持上次转换所得到的值。此外，在 AD 转换终止以后，必须经过 2 个 TAD 的延时才能开始下一次采集。延时过后，将自动开始对选定通道的输入信号进行采集。

注：器件复位将强制所有寄存器进入复位状态。复位会关闭ADC模块并且终止任何待处理的转换。

11.3.4 ADC 在休眠模式下的工作原理

注：ADC模块在休眠模式下无法唤醒芯片。

11.3.5 AD 转换步骤

如下步骤给出了使用 ADC 进行模数转换的示例：

1. 端口配置：
   - 禁止引脚输出驱动器（见 TRIS 寄存器）；
   - 将引脚配置为模拟输入引脚。
2. 配置 ADC 模块：
   - 选择 ADC 参考电压（当参考电压从 VDD 切换到内部 LDO 时，需延时 100us 以上，才能进行 AD 转换）；
   - 选择 AD 转换时钟；
   - 选择 ADC 输入通道；
   - 选择结果的格式；
   - 启动 ADC 模块。
3. 配置 ADC 中断（可选）：
   - 清零 ADC 中断标志位；
   - 允许 ADC 中断；
   - 允许外设中断；
   - 允许全局中断。
4. 等待所需的采集时间。
5. 将 GO/$\overline{\text{DONE}}$置 1 启动转换。
6. 由如下方法之一等待 AD 转换结束：
   - 查询 GO/$\overline{\text{DONE}}$位；
   - 等待 ADC 中断（允许中断）。
7. 读 ADC 结果。
8. 将 ADC 中断标志位清零（如果允许中断的话，需要进行此操作）。
9. 当 GO/$\overline{\text{DONE}}$位从 1 变 0 或 ADIF 从 0 变 1 时，需至少等待两个 TAD 时间，才能再次启动 AD 转换。

注：如果用户尝试在使器件从休眠模式唤醒后恢复顺序代码执行，则必须禁止全局中断。

例：AD 转换

```
        LDIA    B'10000000'
        LD      ADCON1,A
        SETB    TRISA,0         ;设置 PORTA.0 为输入口
        LDIA    B'11000001'
        LD      ADCON0,A
        CALL    DELAY           ;延时一段时间
        SETB    ADCON0,GO
        SZB     ADCON0,GO       ;等待 AD 转换结束
        JP      $-1
        LD      A,ADRESH        ;保存 AD 转换结果高位
        LD      RESULTH,A
        LD      A,ADRESL        ;保存 AD 转换结果低位
        LD      RESULTL,A
```

11.4 ADC 相关寄存器

主要有 4 个寄存器与 AD 转换相关，分别是控制寄存器 ADCON0，ADCON1，数据寄存器 ADRESH 和 ADRESL。

AD 控制寄存器 ADCON0(9DH)

9DH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCON0	ADCS1	ADCS0	CHS3	CHS2	CHS1	CHS0	GO/$\overline{\text{DONE}}$	ADON
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit6 ADCS<1:0>: AD转换时钟选择位。
00= FSYS/8
01= FSYS/16
10= FSYS/32
11= FSYS/128

Bit5~Bit2 CHS<3:0>: 模拟通道选择位。与ADCON1寄存器CHS4组合CHS<4:0>
00000= AN0
00001= AN1
00010= AN2
00011= AN3
…… ……
01101= AN13
01110= OPA0/OPA1输出
01111= 0.6V固定参考电压
10000= AN16
10001= AN17
10010= AN18
10011= AN19
其他= 保留

Bit1 GO/$\overline{\text{DONE}}$: AD转换状态位。
1= AD转换正在进行。将该位置1启动AD转换。当AD转换完成以后，该位由硬件自动清零。当GO/$\overline{\text{DONE}}$位从1变0或ADIF从0变1时，需至少等待两个TAD时间，才能再次启动AD转换。
0= AD转换完成/或不在进行中。

Bit0 ADON: ADC使能位。
1= 使能ADC；
0= 禁止ADC，不消耗工作电流。

AD 控制寄存器 ADCON1(9CH)

9CH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCON1	ADFM	CHS4	---	---	---	LDO_EN	LDO_SEL[1:0]	
读写	R/W	R/W	---	---	---	R/W	R/W	R/W
复位值	0	0	---	---	---	0	0	0

Bit7 ADFM: AD转换结果格式选择位；
1= 右对齐；
0= 左对齐。
Bit6 CHS4 与ADCON0的CHS3~0组合使能
Bit5~Bit3 未用
Bit2 LDO_EN: 内部参考电压使能位。
1= 使能ADC内部LDO参考电压；
当选择内部LDO作参考电压时，ADC最大有效精度为8位。
0= VDD作为ADC参考电压。
Bit1~Bit0 LDO_SEL<1:0>: 参考电压选择位
00= 禁用（注：选择内部LDO作为参考电压时，禁止为00）
01= 2.0V
10= 2.4V
11= 3.0V

AD 数据寄存器高位 ADRESH(9FH)，ADFM=0

9FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADRESH	ADRES11	ADRES10	ADRES9	ADRES8	ADRES7	ADRES6	ADRES5	ADRES4
读写	R	R	R	R	R	R	R	R
复位值	X	X	X	X	X	X	X	X

Bit7~Bit0 ADRES<11:4>: ADC结果寄存器位。
12位转换结果的高8位。

AD 数据寄存器低位 ADRESL(9EH)，ADFM=0

9EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADRESL	ADRES3	ADRES2	ADRES1	ADRES0	---	---	---	---
读写	R	R	R	R	---	---	---	---
复位值	X	X	X	X	---	---	---	---

Bit7~Bit4 ADRES<3:0>: ADC结果寄存器位。
12位转换结果的低4位。
Bit3~Bit0 未用。

AD 数据寄存器高位 ADRESH(9FH)，ADFM=1

9FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADRESH	----	----	----	----	----	----	ADRES11	ADRES10
读写	----	----	----	----	----	----	R	R
复位值	----	----	----	----	----	----	X	X

Bit7~Bit2 未用。

Bit1~Bit0 ADRES<11:10>: ADC结果寄存器位。
12位转换结果的高2位。

AD 数据寄存器低位 ADRESL(9EH)，ADFM=1

9EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADRESL	ADRES9	ADRES8	ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2
读写	R	R	R	R	R	R	R	R
复位值	X	X	X	X	X	X	X	X

Bit7~Bit0 ADRES<9:2>: ADC结果寄存器位。
12位转换结果的第9-2位。

注：在 ADFM=1 的情况下，AD 转换结果只保存 12 位结果的高 10 位，其中 ADRESH 保存高 2 位，ADRESL 保存第 9 位至第 2 位。

12. LCD 驱动模块

12.1 LCD 概述

芯片内置 LCD 驱动模块，可用于驱动 1/2Bias 或 1/3Bias 的 LCD，使能 LCD 控制位后，芯片需程序控制输出驱动 LCD。

12.2 LCD 功能使能

将 LCDCON 的第 7 位 LCDEN 置 1，允许 LCD 驱动功能，并通过控制 CsxEN 使能相应引脚 LCD 功能；将 LCDEN 置 0，关闭 LCD 模块。

12.3 LCD 相关寄存器

LCD 驱动功能相关寄存器有：LCDCON、CSSEL0、CSSEL1、CSSEL2、CSEN0、CSEN1、CSEN2

LCD 控制寄存器 LCDCON(18FH)

18FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
LCDCON	LCDEN	FRAME	BIAS	----	----	----	LCD_ISLE[1:0]	
R/W	R/W	R/W	R/W	----	----	----	R/W	R/W
复位值	0	0	0	----	----	----	0	0

Bit7 LCDEN: LCD 模块使能；
0= 禁止 LCD 模块；
1= 使能 LCD 模块。

Bit6 FRAME: COM/SEG 输出 FRAME 选择。（仅对 1/3 Bias 有效）
0= FRAME0；
COM 信号输出可以是 VDD，或是 VBIAS = (1/3)×VDD。
需要程序将相应 COM 口的 PORT 值写 1，TRIS 值写 0。
SEG 信号输出可以是 VSS，或是 VBIAS = (2/3)×VDD。
需要程序将相应 SEG 口的 PORT 值写 0，TRIS 值写 0。
1= FRAME1。
COM 信号输出可以是 VSS，或是 VBIAS =(2/3)×VDD。
需要程序将相应 COM 口的 PORT 值写 0，TRIS 值写 0。
SEG 信号输出可以是 VDD，或是 VBIAS = (1/3)×VDD
需要程序将相应 SEG 口的 PORT 值写 1，TRIS 值写 0。

Bit5 BIAS: 偏置选择。
0= 1/2 BIAS；
1= 1/3 BAIS。

Bit4~Bit2 未用

Bit1~Bit0 LCD_ISLE[1:0]: LCD 输出电流选择位:

	1/2 BIAS	1/3 BIAS
00=	100uA@5V；	10uA@5V；
01=	200uA@5V；	20A@5V；
10=	400uA@5V；	50uA@5V；
11=	800uA@5V。	100uA@5V。

LCD COM/SEG 选择寄存器 CSSEL0（对应 PORTA）(190H)

190H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CSSEL0	CS7SEL	CS6SEL	CS5SEL	CS4SEL	CS3SEL	CS2SEL	CS1SEL	CS0SEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　CS7SEL~CS0SEL　　LCD COM/SEGx 功能选择位（仅对 1/3 Bias 模式有效）
0:　Anx 相应引脚为 COM 功能；
1:　Anx 相应引脚为 SEG 功能。

LCD COM/SEG 选择寄存器 CSSEL1（对应 PORTB）(191H)

191H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CSSEL1	CS15SEL	CS14SEL	CS13SEL	CS12SEL	CS11SEL	CS10SEL	CS9SEL	CS8SEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　CS15SEL~CS8SEL　　LCD COM/SEGx 功能选择位（仅对 1/3 Bias 模式有效）
0:　Anx 相应引脚为 COM 功能；
1:　Anx 相应引脚为 SEG 功能。

LCD COM/SEG 选择寄存器 CSSEL2（对应 PORTC）(192H)

192H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CSSEL2	--	--	--	--	--	--	CS17SEL	CS16SEL
R/W	--	--	--	--	--	--	R/W	R/W
复位值	--	--	--	--	--	--	0	0

Bit7~Bit2　　未用
Bit1~Bit0　　CS17SEL~CS16SEL　　LCD COM/SEGx 功能选择位（仅对 1/3 Bias 模式有效）
0:　Anx 相应引脚为 COM 功能；
1:　Anx 相应引脚为 SEG 功能。

LCD COM/SEG 使能寄存器 CSEN0　（对应 PORTA）(193H)

193H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CSEN0	CS7EN	CS6EN	CS5EN	CS4EN	CS3EN	CS2EN	CS1EN	CS0EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0　　CSEN7~CSEN0　　LCD COM/SEGx 使能位，优先级比 TRIS 位高
0:　禁止 Anx 相应 LCD 功能；
1:　使能 Anx 相应引脚作为 LCD COM 或 SEG 功能。

LCD COM/SEG 使能寄存器 CSEN1 （对应 PORTB）(194H)

194H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CSEN1	CS15EN	CS14EN	CS13EN	CS12EN	CS11EN	CS10EN	CS9EN	CS8EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0 CSEN15~CSEN8 LCD COM/SEGx 使能位，优先级比 TRIS 位高
0: 禁止 Anx 相应 LCD 功能；
1: 使能 Anx 相应引脚作为 LCD COM 或 SEG 功能。

LCD COM/SEG 使能寄存器 CSEN2 （对应 PORTC）(195H)

195H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CSEN2	--	--	--	--	--	--	CS17EN	CS16EN
R/W	--	--	--	--	--	--	R/W	R/W
复位值	--	--	--	--	--	--	0	0

Bit7~Bit2 未用
Bit1~Bit0 CSEN17~CSEN16 LCD COM/SEGx 使能位，优先级比 TRIS 位高
0: 禁止 Anx 相应 LCD 功能；
1: 使能 Anx 相应引脚作为 LCD COM 或 SEG 功能。

CsxEN= 1 该引脚为 LCD 功能，根据 CSxSEL 值和 FRAME 值输出 1/3 或 2/3 电压；=0 该引脚为普通 IO 功能，需要 TRIS 和 PORT 寄存器配合使用来输出高、低电平。CsxEN 优先级比 TRIS 高。

12.4 LCD 操作说明

一个完整的 LCD 波形周期包含两个 Frame，即 Frame 0 和 Frame 1。

12.4.1 1/3 Bias 寄存器操作

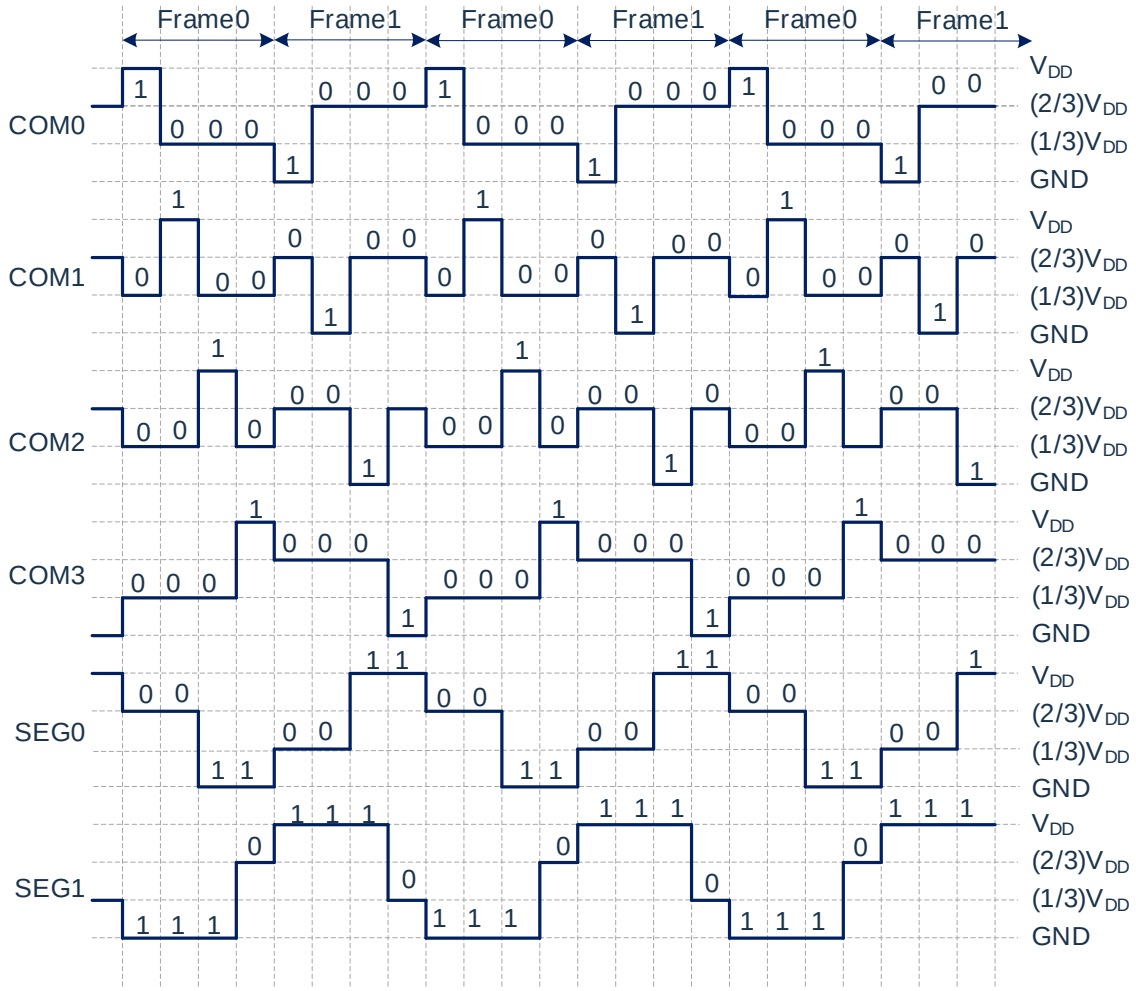
寄存器与 1/3 Bias 相关的寄存器操作如下表所示：

引脚	Frame0	Frame1
COM	引脚输出 VDD： BIAS=1；FRAME=0； CsxEN=0；TRIS=0；PORT=1；	引脚输出(2/3)*VDD： BIAS=1；FRAME=1； CsxEN=1，CSxSEL=0；
	引脚输出(1/3)*VDD： BIAS=1；FRAME=0； CsxEN=1，CSxSEL=0；	引脚输出 GND： BIAS=1；FRAME=1; CsxEN=0；TRIS=0；PORT=0；
SEG	引脚输出(2/3)*VDD BIAS=1；FRAME=0； CsxEN=1，CSxSEL=1；	引脚输出 VDD： BIAS=1；FRAME=1； CsxEN=0；TRIS=0；PORT=1；
	引脚输出 GND： BIAS=1；FRAME=0； CsxEN=0；TRIS=0；PORT=0；	引脚输出(1/3)*VDD： BIAS=1；FRAME=1； CsxEN=1，CSxSEL=1；

表中阴影部分代表了在两个 Frame 中，需要点亮的 LCD 相应 SEG/COM 的操作。

12.4.2 1/3 Bias 时序图

图中“1”代表点亮 LCD 像素。



12.4.3 1/2 Bias 寄存器操作

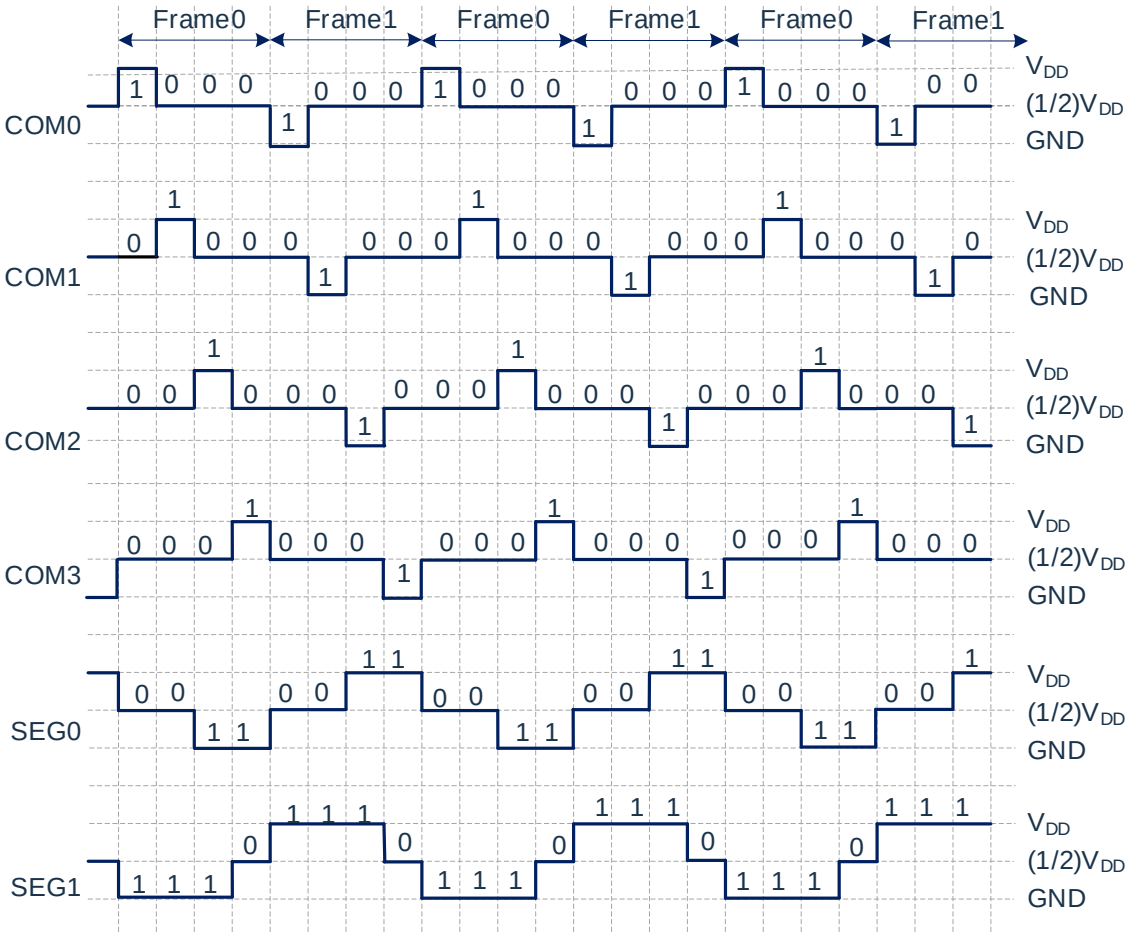
与 1/2 Bias 相关的寄存器操作如下表所示：

引脚	Frame0	Frame1
COM	引脚输出 VDD： BIAS=0； CsxEN=0；TRIS=0；PORT=1；	引脚输出(1/2)*VDD： BIAS=0； CsxEN=1；
	引脚输出(1/2)*VDD： BIAS=0； CsxEN=1；	引脚输出 GND： BIAS=0； CsxEN=0；TRIS=0；PORT=0；
SEG	引脚输出(1/2)*VDD： BIAS=0； CsxEN=1；	引脚输出 VDD： BIAS=0； CsxEN=0；TRIS=0；PORT=1；
	引脚输出 GND： BIAS=0； CsxEN=0；TRIS=0；PORT=0；	引脚输出(1/2)*VDD： BIAS=0； CsxEN=1；

表中阴影部分代表了在两个 Frame 中，需要点亮的 LCD 相应 SEG/COM 的操作。

12.4.4 1/2 Bias 时序图

图中“1”代表点亮 LCD 像素。



13. PWM 模块

13.1 PWM 概述

芯片内置一个可编程 10 位 PWM 模块，可配置为 4 路共周期、独立占空比的输出 PWM0~3 和 1 路独立周期、独立占空比的输出 PWM4 ；其中，PWM0/PWM1，PWM2/PWM3 可配置成带互补的正反向输出。

。

13.2 相关寄存器说明

PWM 控制寄存器 PWMCON0 (13H)

13H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMCON0	CLKDIV[2:0]			PWM4EN	PWM3EN	PWM2EN	PWM1EN	PWM0EN
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit5 CLKDIV[2:0]: PWM时钟分频。
111= F_{HSI}/128
110= F_{HSI}/64
101= F_{HSI}/32
100= F_{HSI}/16
011= F_{HSI}/8
010= F_{HSI}/4
001= F_{HSI}/2
000= F_{HSI}/1

Bit4~Bit0 PWMxEN: PWMx使能位。
1= 使能PWMx。
0= 禁止PWMx。

PWM 控制寄存器 PWMCON1 (14H)

14H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMCON1	---	---	PWM2DTEN	PWM0DTEN	---	---	DT_DIV[1:0]	
读写	---	---	R/W	R/W	---	---	R/W	R/W
复位值	---	---	0	0	---	---	0	0

Bit7~6 未用
Bit5 PWM2DTEN: PWM2死区使能位。
1= 使能PWM2死区功能，PWM2和PWM3组成一对互补输出。
0= 禁止PWM2死区功能。
Bit4 PWM0DTEN: PWM0死区使能位。
1= 使能PWM0死区功能，PWM0和PWM1组成一对互补输出。
0= 禁止PWM0死区功能。
Bit3~Bit2 未用
Bit1~Bit0 DT_DIV[1:0] 死区时钟源分频。
11= $F_{HSI}/8$
10= $F_{HSI}/4$
01= $F_{HSI}/2$
00= $F_{HSI}/1$

PWM 控制寄存器 PWMCON2 (1DH)

1DH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMCON2	BUZEN	---	---	PWM4DIR	PWM3DIR	PWM2DIR	PWM1DIR	PWM0DIR
R/W	R/W	---	---	R/W	R/W	R/W	R/W	R/W
复位值	0	---	---	0	0	0	0	0

Bit7 BUZEN 蜂鸣器输出使能
1= 使能
0= 关闭
Bit6~Bit5 未用
Bit4~Bit0 PWMxDIR PWM输出取反控制位。
1= PWMx取反输出。
0= PWMx正常输出。

PWM0~PWM3 周期低位寄存器 PWMTL (15H)

15H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMTL	PWMT[7:0]							
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0 PWMT[7:0]: PWM0~PWM3周期低8位。

PWM4 周期低位寄存器 PWM4TL (1EH)

1EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM4TL	PWM4T[7:0]							
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0 PWM4T[7:0]: PWM4周期低8位。

PWM 周期高位寄存器 PWMTH (16H)

16H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMTH	---	---	PWMD4[9:8]		PWM4T[9:8]		PWMT[9:8]	
读写	---	---	R/W	R/W	R/W	R/W	R/W	R/W
复位值	---	---	0	0	0	0	0	0

Bit7~Bit6 未用
Bit5~Bit4 PWMD4[9:8]: PWM4占空比高2位。
Bit3~Bit2 PWM4T[9:8]: PWM4周期高2位。
Bit1~Bit0 PWMT[9:8]: PWM0~PWM3周期高2位。

PWM0 占空比低位寄存器 PWMD0L (17H)

17H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMD0L	PWMD0[7:0]							
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0 PWMD0[7:0]: PWM0占空比低8位。

PWM1 占空比低位寄存器 PWMD1L (18H)

18H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMD1L	PWMD1[7:0]							
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0 PWMD1[7:0]: PWM1占空比低8位。

PWM2 占空比低位寄存器 PWMD2L (19H)。

19H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMD2L	PWMD2[7:0]							
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0 PWMD2[7:0]: PWM2占空比低8位。

PWM3 占空比低位寄存器 PWMD3L (1AH)

1AH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMD3L	PWMD3[7:0]							
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0 PWMD3[7:0]: PWM3占空比低8位。

PWM4 占空比低位寄存器 PWMD4L (1BH)

1BH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMD4L	PWMD4[7:0]							
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0 PWMD4[7:0]: PWM4占空比低8位。

PWM0 和 PWM1 占空比高位寄存器 PWMD01H (1CH)

1CH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMD01H	---	---	PWMD1[9:8]		---	---	PWMD0[9:8]	
读写	---	---	R/W	---	---	----	R/W	R/W
复位值	---	---	0	---	---	----	0	0

Bit7~Bit6 未用
Bit5~Bit4 PWMD1[9:8]: PWM1占空比高2位。
Bit3~Bit2 未用
Bit1~Bit0 PWMD0[9:8]: PWM0占空比高2位。

PWM2 和 PWM3 占空比高位寄存器 PWMD23H (0EH)

0EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMD23H	---	---	PWMD3[9:8]		---	---	PWMD2[9:8]	
读写	---	---	R/W	---	---	----	R/W	R/W
复位值	---	---	0	---	---	----	0	0

Bit7~Bit6 未用
Bit5~Bit4 PWMD3[9:8]: PWM3占空比高2位。
Bit3~Bit2 未用
Bit1~Bit0 PWMD2[9:8]: PWM2占空比高2位。

注：写入 PWMDx[9:8]并不能立即生效，需有写入 PWMDxL 操作后才能生效。
建议配置 PWM 占空比或周期寄存器时，先配置高位，再配置低位

PWM0 和 PWM1 死区时间寄存器 PWM01DT (0FH)

0FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM01DT	---	---	PWM01DT[5:0]					
读写	---	---	R/W	R/W	R/W	R/W	R/W	R/W
复位值	---	---	0	0	0	0	0	0

Bit7~Bit6 未用
Bit5~Bit0 PWM01DT[5:0]: PWM0和PWM1死区时间。

PWM2 和 PWM3 死区时间寄存器 PWM23DT (10H)

10H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM23DT	---	---	PWM23DT[5:0]					
读写	---	---	R/W	R/W	R/W	R/W	R/W	R/W
复位值	---	---	0	0	0	0	0	0

Bit7~Bit6 未用
Bit5~Bit0 PWM23DT[5:0]: PWM2和PWM3死区时间。

PWM 引脚配置寄存器 PWMIOS0 (18CH)

18CH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMIOS0	---	PWM1IOS			---	PWM0IOS		
读写	---	R/W	R/W	R/W	---	R/W	R/W	R/W
复位值	---	0	0	0	---	0	0	0

Bit7 未用
Bit6~Bit4 PWM1IOS PWM1 IO位置分配寄存器
000= RB1
001= RB3
010= RB7
011= RA4
100= RA1
101~111 ---
Bit4 未用
Bit2~Bit0 PWM0IOS PWM0 IO位置分配寄存器
000= RB0
001= RB2
010= RA5
011= RA3
100= RA0
101~111= ---

PWM 引脚配置寄存器 PWMIOS1 (18DH)

18DH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMIOS1	---	PWM3IOS			---	PWM2IOS		
读写	---	R/W	R/W	R/W	---	R/W	R/W	R/W
复位值	---	0	0	0	---	0	0	0

Bit7	未用	
Bit6~Bit4	PWM3IOS	PWM3 IO位置分配寄存器
	000=	RB2
	001=	RB4
	010=	RB5
	011=	RA6
	100=	RA3
	101~111=	---
Bit4	未用	
Bit2~Bit0	PWM2IOS	PWM2 IO位置分配寄存器
	000=	RB3
	001=	RB4
	010=	RB6
	011=	RA5
	100=	RA2
	101~111=	---

PWM 引脚配置寄存器 PWMIOS2 (18EH)

18EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMIOS2	---	---	---	---	---	PWM4IOS		
读写	---	---	---	---	---	R/W	R/W	R/W
复位值	---	---	---	---	---	0	0	0

Bit7~Bit3	未用	
Bit2~Bit0	PWM4IOS	PWM4 IO位置分配寄存器
	000=	RB1
	001=	RB2
	010=	RB4
	011=	RB6
	100=	RA7
	101=	RA4
	110=	---
	111=	---

注：当同一个 IO 上可分配 PWM0~PWM4 时，优先级为 PWM0>PWM1>PWM2>PWM3>PWM4

13.3 PWM 周期

13.3.1 PWM 共用周期

PWM0~PWM3 共用周期是通过写 PWMTH 和 PWMTL 寄存器来指定 PWMT[9:0]。

公式 1：PWM 周期计算公式：

$$\text{PWM 周期}=[PWMT+1]*T_{HSI}*(CLKDIV\ \text{分频值})$$

注：$T_{HSI}=1/F_{HSI}$

当 PWM 周期计数器等于 PWMT 时，在下一个递增计数周期中会发生以下 5 个事件：

- PWM 周期计数器被清零；
- PWMx 引脚被置 1（x=0,1,2,3）；
- PWM 新周期值被锁存；
- PWM 新占空比值被锁存；
- 产生 PWM 中断标志位；

13.3.2 PWM4 独立周期

PWM4 独立周期是通过写 PWMTH 和 PWMT4L 寄存器来指定 PWM4T[9:0]。

公式 2：PWM4 周期计算公式：

$$\text{PWM4 周期}=[PWM4T+1]*T_{HSI}*(CLKDIV\ \text{分频值})$$

注：$T_{HSI}=1/F_{HSI}$

当 PWM4 周期计数器等于 PWM4T 时，在下一个递增计数周期中会发生以下事件：

- PWM4 周期计数器被清零；
- PWM4 引脚被置 1；
- PWM4 新周期值被锁存；
- PWM4 新占空比值被锁存；

注：PWM4 不会触发 PWM 中断

13.4 PWM 占空比

可通过将一个 10 位值写入以下多个寄存器来指定 PWM 占空比：PWMDxL、PWMDxxH、PWMTH。

可以在任何时候写寄存器更新 PWMDx[9:0]的值，但直到 PWM 周期计数器等于 PWMT（即周期结束）时，占空比的值才被更新到内部锁存器中。

公式 3：脉冲宽度计算公式：

$$脉冲宽度 = (PWMDx[9:0]+1)*T_{HSI}*(CLKDIV\ 分频值)$$

公式4：PWM占空比计算公式：

$$占空比=\frac{PWMDx[9:0]+1}{PWMT[9:0]+1}$$

PWM 周期和 PWM 占空比在芯片内部都有双重缓冲。这种双重缓冲结构极其重要，可以避免在 PWM 操作过程中产生毛刺。

13.5 系统时钟频率的改变

PWM 频率只与芯片振荡时钟有关，系统时钟频率发生任何改变都不会影响 PWM 频率。

13.6 可编程的死区延时模式

可以通过设置 PWMxDT_EN 使能互补输出模式，使能互补输出后自动使能死区延时功能。

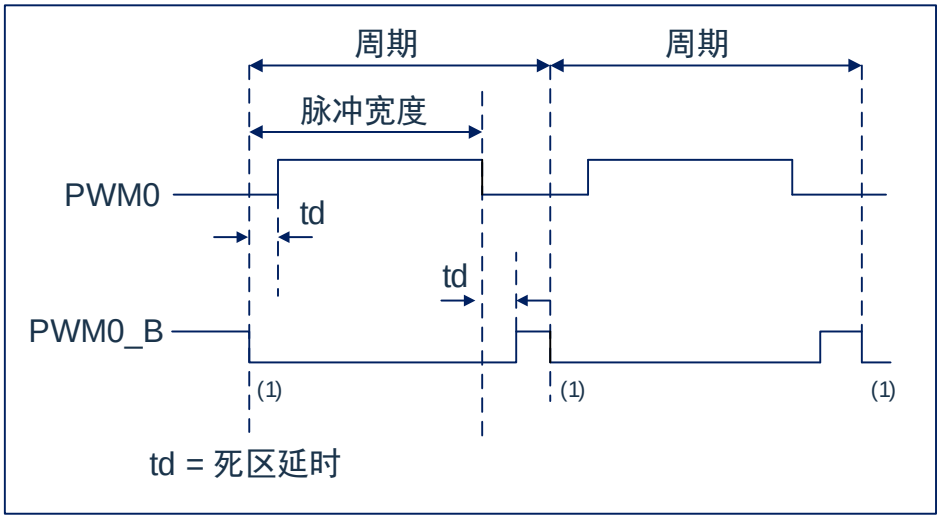


图13-1：PWM死区延时输出示例

死区时间计算公式为：

td=(PWMxxDT[5:0]+1)*THSI*(DT_DIV 分频值)

13.7 PWM 设置

使用 PWM 模块时应该执行以下步骤：

1. 设置 PWMIOSx 寄存器，选择 PWM 输出 IO 口。
2. 通过将相应的 TRIS 位置 1，使之成为输入引脚。
3. 通过装载 PWMTH，PWMTL 寄存器设置 PWM 周期。
4. 通过装载 PWMDxL，PWMDxxH 寄存器设置 PWM 占空比。
5. 若需要使用互补输出模式，需设置 PWMCON1[5:4]位，并装载 PWMxxDT 寄存器设置死区时间。
6. 清零 PWMIF 标志位
7. 设置 PWMCN0[4:0]位以使能相应 PWM 输出。
8. 在新的 PWM 周期开始后，使能 PWM 输出：
   - 等待 PWMIF 位置 1；
   - 通过将相应的 TRIS 位清零，使能 PWM 引脚输出驱动器。

14. BUZZER 模块

14.1 BUZZER 概述

芯片内置一个可编程 6 位周期的 BUZZER 模块，4 种分频选择可供选择，产生 50%的占空比方波，其频率覆盖一个较宽的范围；由 PWMCON2 寄存器中 BUZEN 控制使能。

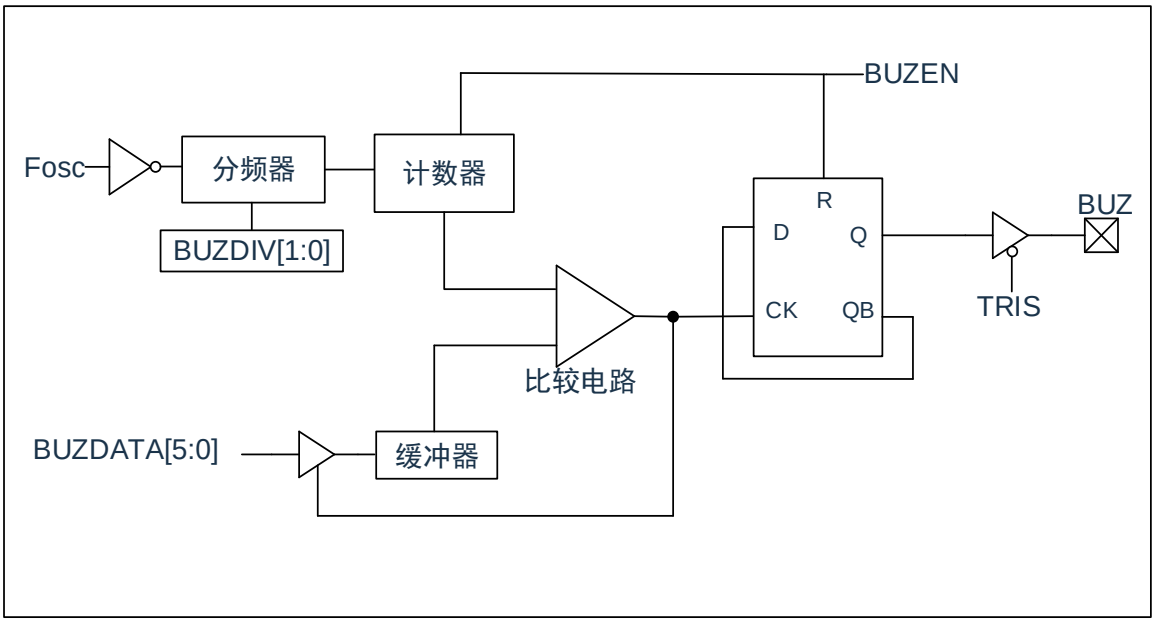


图14-1：BUZZER结构框图

注：当BUZDATA[5:0]=6’b000000时，BUZ禁止使能；

14.2 相关寄存器

PWM 控制寄存器 PWMCON2 (1DH)

1DH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMCON2	BUZEN	---	---	PWM4DIR	PWM3DIR	PWM2DIR	PWM1DIR	PWM0DIR
R/W	R/W	---	---	R/W	R/W	R/W	R/W	R/W
复位值	0	---	---	0	0	0	0	0

Bit7 BUZEN: 蜂鸣器输出使能
1= 使能
0= 关闭
Bit6~Bit5 未用
Bit4~Bit0 PWMxDIR PWM输出取反控制位。
1= PWMx取反输出。
0= PWMx正常输出。

BUZZER 控制寄存器 BUZCON (105H)

105H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BUZCON	BUZDIV[1:0]		BUZDATA[5:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit6 BUZDIV[1:0]: 蜂鸣器时钟分频
00= $F_{HSI}/8$
01= $F_{HSI}/16$
10= $F_{HSI}/32$
11= $F_{HSI}/64$
Bit5~Bit0 BUZDATA[5:0]: BUZZER输出周期数据

14.3 BUZZER 周期

BUZZER 周期是通过写 BUZCON 寄存器的 BUZDATA[5:0]来指定的。

BUZZER 周期计算公式：

$$\text{BUZZER 周期}=\text{BUZDATA[5:0]}*T_{HSI}*(\text{CLKDIV 分频值})*2$$

注：$T_{HSI}=1/F_{HSI}$

当 BUZZER 周期计数器等于 BUZDATA[5:0]时，BUZ 引脚翻转。

14.4 BUZ 设置

使用 BUZZER 模块时应该执行以下步骤：

1. 通过将相应的 TRIS 位置 1，使之成为输入引脚。
2. 通过装载 BUZCON 寄存器设置 BUZZER 周期和分频。
3. 设置 PWMCON2 寄存器，使能 BUZZER 输出。
4. 通过将相应的 TRIS 位清零，使能 BUZ 引脚输出驱动器。

15. 程序 EEPROM 和程序存储器控制

15.1 概述

该系列中器件具有 4K 字节的程序存储器，地址范围从 0000h 到 0FFFh，在所有地址范围内都是只读的；器件具有 32 字节的程序 EEPROM，地址范围为 0000h 到 001Fh，在所有地址范围内都是可读写的。

这些存储器并不直接映射到寄存器文件空间，而是通过特殊功能寄存器（SFR）对其进行间接寻址。共有 6 个 SFR 寄存器用于访问这些存储器：

- EECON1
- EECON2
- EEDAT
- EEDATH
- EEADR
- EEADRH

当访问程序 EEPROM 时，EEDAT 寄存器存放低 8 位读写的数据，EEDATH 寄存器存放高 8 位读写的数据，而 EEADR 寄存器存放被访问的程序 EEPROM 单元的地址。

当访问器件的程序存储器时，EEDAT 和 EEDATH 寄存器形成一个双字节字用于保存要读的 16 位数据，EEADR 和 EEADRH 寄存器组成一个双字节字用于保存待读取的 12 位程序存储器地址。

程序存储器允许以字为单位读取。程序 EEPROM 允许以字为单位读写。字写操作可自动擦除目标单元并写入新数据（在写入前擦除）。

写入时间由片上定时器控制。写入和擦除电压是由片上电荷泵产生的，此电荷泵额定工作在器件的电压范围内，用于进行字节或字操作。

当器件受代码保护时，CPU 仍可继续读写程序 EEPROM 和程序存储器。代码保护时，器件编程器将不再能访问程序 EEPROM 或程序存储器。

15.2 相关寄存器

15.2.1 EEADR 和 EEADRH 寄存器

EEADR 和 EEADRH 寄存器能寻址最大 32 字的程序 EEPROM 或最大 4K 字的程序存储器。

当选择程序存储器地址值时，地址的高字节被写入 EEADRH 寄存器而低字节被写入 EEADR 寄存器。当选择程序 EEPROM 地址值时，只将地址的低字节写入 EEADR 寄存器。

15.2.2 EECON1 和 EECON2 寄存器

EECON1 是访问程序 EEPROM 的控制寄存器。

控制位 EEPGD 决定访问的是程序存储器还是程序 EEPROM。该位被清零时，和复位时一样，任何后续操作都将针对程序 EEPROM 进行。该位置 1 时，任何后续操作都将针对程序存储器进行。程序存储器是只读的。

控制位 RD 和 WR 分别启动读和写。用软件只能将这些位置 1 而无法清零。在读或写操作完成后，由硬件将它们清零。由于无法用软件将 WR 位清零，从而可避免意外地过早终止写操作。

- 当 WREN 置 1 时，允许对程序 EEPROM 执行写操作。上电时，WREN 位被清零。当正常的写入操作被 LVR 复位或 WDT 超时复位中断时，WRERR 位会置 1。在这些情况下，复位后用户可以检查 WRERR 位并重写相应的单元。
- 当写操作完成时 PIR1 寄存器中的中断标志位 EEIF 被置 1。此标志位必须用软件清零。

EECON2 不是物理寄存器。读 EECON2 得到的是全 0。

EECON2 寄存器仅在执行程序 EEPROM 写序列时使用。

EEPROM 数据寄存器 EEDAT(8EH)

8EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

Bit7~Bit0	EEDAT<7:0>:	要从程序EEPROM中读取或向程序EEPROM写入数据的低8位，或者要从程序存储器中读取数据的低8位。

EEPROM 地址寄存器 EEADR(90H)

90H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EEADR	EEADR7	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit0	EEADR<7:0>:	指定程序EEPROM读/写操作的地址的低8位，或程序存储器读操作的地址的低8位。

EEPROM 数据寄存器 EEDATH(8FH)

8FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EEDATH	EEDATH7	EEDATH6	EEDATH5	EEDATH4	EEDATH3	EEDATH2	EEDATH1	EEDATH0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

Bit7~Bit0　　EEDATH<7:0>:　要从程序EEPROM中读取或向程序EEPROM写入数据的高8位，从程序存储器读出的数据的高8位。

EEPROM 地址寄存器 EEADRH(96H)

96H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EEADRH	---	---	---	---	EEADRH3	EEADRH2	EEADRH1	EEADRH0
读写	---	---	---	---	R/W	R/W	R/W	R/W
复位值	---	---	---	---	0	0	0	0

Bit7~Bit4　　未用，读为0。
Bit3~Bit0　　EEADRH<3:0>:　指定程序存储器读操作的高4位地址。

EEPROM 控制寄存器 EECON1(8CH)

8CH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EECON1	EEPGD	---	---	---	WRERR	WREN	WR	RD
读写	R/W	---	---	---	R/W	R/W	R/W	R/W
复位值	0	---	---	---	X	0	0	0

Bit7　　EEPGD:　程序/程序EEPROM选择位；
　　1=　操作程序存储器；
　　0=　操作程序EEPROM。
Bit6~Bit4　　未用。
Bit3　　WRERR:　EEPROM错误标志位；
　　1=　写操作过早终止（正常工作期间的任何WDT复位或欠压复位）；
　　0=　写操作完成。
Bit2　　WREN:　EEPROM写使能位；
　　1=　允许写周期；
　　0=　禁止写入存储器。
Bit1　　WR:　写控制位；
　　1=　启动写周期（写操作一旦完成由硬件清零该位，用软件只能将WR位置1，但不能清
　　0=　写周期完成。
Bit0　　RD:　读控制位；
　　1=　启动存储器读操作（由硬件清零RD，用软件只能将RD位置1，但不能清零）；
　　0=　不启动存储器读操作。

15.3 读程序 EEPROM

要读取程序 EEPROM 单元，用户必须将地址写入 EEADR 寄存器，清零 EECON1 寄存器的 EEPGD 控制位，然后将控制位 RD 置 1。一旦设置好读控制位，程序 EEPROM 控制器将使用第二个指令周期来读数据。这会导致紧随"SETB EECON1,RD"指令的第二条指令被忽略(1)。在紧接下来的一个时钟周期，程序 EEPROM 相应地址的值会被锁存到 EEDAT 和 EEDATH 寄存器中，用户可在随后的指令中读取这两个寄存器。EEDAT 和 EEDATH 将保存此值直至下一次用户向该单元读取或写入数据时为止。

注：程序存储器读操作后的两条指令必须为 NOP。这可阻止用户在 RD 位置 1 后的下一条指令执行双周期指令。

例：读程序 EEPROM

```
        LD      A,EE_ADD        ;将要读取的地址放入 EEADR 寄存器
        LD      EEADR,A
        CLRB    EECON1,EEPGD    ;选择程序 EEPROM
        SETB    EECON1,RD       ;使能读信号
        NOP                     ;这里读取数据，必须加 NOP 指令
        NOP
        LD      A,EEDAT         ;读取数据到 ACC
        LD      EE_DATL,A
        LD      A,EEDATH
        LD      EE_DATH,A
```

15.4 写程序 EEPROM

要写程序 EEPROM 存储单元，用户应首先将该单元的地址写入 EEADR 寄存器并将数据写入 EEDAT 和 EEDATH 寄存器。然后用户必须按特定顺序开始写入每个字节。

如果没有完全按照下面的指令顺序（即首先将 55h 写入 EECON2，随后将 AAh 写入 EECON2，最后将 WR 位置 1）写每个字节，将不会启动写操作。在该代码段中应禁止中断。

此外，必须将 EECON1 中的 WREN 位置 1 以使能写操作。这种机制可防止由于代码执行错误（异常）（即程序跑飞）导致误写 EEPROM。在不更新 EEPROM 时，用户应该始终保持 WREN 位清零。WREN 位不能被硬件清零。

一个写过程启动后，将 WREN 位清零将不会影响此写周期。除非 WREN 位置 1，否则 WR 位将无法置 1。写周期完成时，WR 位由硬件清零并且 EE 写完成中断标志位（EEIF）置 1。用户可以允许此中断或查询此位。EEIF 必须用软件清零。

> 注：在写程序 EEPROM 期间，CPU 会停止工作，需在写操作开始前执行 CLRWDT 命令，以避免在此期间 WDT 溢出复位芯片。

例：写程序 EEPROM

```
        LD          A,EE_ADDL       ;将要写入的地址放入 EEADR 寄存器
        LD          EEADR,A
        LD          A,EE_DATAL      ;将要写入的低 8 位数据放入 EEDAT 寄存器
        LD          EEDAT,A
        LD          A,EE_DATAH      ;将要写入的高 8 位数据放入 EEDATH 寄存器
        LD          EEDATH,A
        CLRWDT
        CLRB        EECON1,EEPGD
        SETB        EECON1,WREN     ;允许写操作
        CLRB        INTCON,GIE      ;关闭中断
        SZB         INTCON,GIE      ;确保中断已关闭
        JP          $-2
        LDIA        055H            ;给 EECON2 写 55H
        LD          EECON2,A
        LDIA        0AAH            ;给 EECON2 写 0AAH
        LD          EECON2,A
        SETB        EECON1,WR       ;使能写信号
        NOP
        NOP
        CLRWDT
        CLRB        EECON1,WREN     ;写结束，关闭写使能位
        SETB        INTCON,GIE
```

15.5 读程序存储器

要读取程序存储器单元,用户必须将地址的高位和低位分别写入 EEADR 和 EEADRH 寄存器,将 EECON1 寄存器的 EEPGD 位置 1，然后将控制位 RD 置 1。一旦设置好读控制位，程序存储器控制器将使用第二个指令周期来读数据。这会导致紧随“SETB EECON1,RD”指令的第二条指令被忽略。在紧接下来的一个时钟周期，程序存储器相应地址的值会被锁存到 EEDAT 和 EEDATH 寄存器中，用户可在随后的指令中读取这两个寄存器。EEDAT 和 EEDATH 寄存器将保存此值直至下一次用户向该单元读取或写入数据时为止。

注：
1. 程序存储器读操作后的两条指令必须为 NOP。这可阻止用户在 RD 位置 1 后的下一条指令执行双周期指令。
2. 当 EEPGD=1 时如果 WR 位置 1，它会立即复位为 0，而不执行任何操作。

例：读闪存程序存储器

```
        LD      A,EE_ADDL       ;将要读取的地址放入 EEADR 寄存器
        LD      EEADR,A
        LD      A,EE_ADDH       ;将要读取的地址高位放入 EEADRH 寄存器
        LD      EEADRH,A
        SETB    EECON1,EEPGD    ;选择操作程序存储器
        SETB    EECON1,RD       ;允许读操作
        NOP
        NOP
        LD      A,EEDAT         ;保存读取的数据
        LD      EE_DATL,A
        LD      A,EEDATH
        LD      EE_DATH,A
```

15.6 写程序存储器

程序存储器是只读的，不可写。

15.7 程序 EEPROM 操作注意事项

15.7.1 关于程序 EEPROM 的烧写时间

程序 EEPROM 烧写时间是固定的，约为 4.6ms，并且在烧写期间 CPU 停止工作，程序需要做好相关处理。

15.7.2 写校验

根据具体的应用，好的编程习惯一般要求将写入程序 EEPROM 的值对照期望值进行校验。

15.7.3 避免误写的保护

有些情况下，用户可能不希望向程序 EEPROM 写入数据。为防止误写 EEPROM，芯片内嵌了各种保护机制。上电时清零 WREN 位。而且，上电延时定时器（延迟时间为 18ms）会防止对 EEPROM 执行写操作。

写操作的启动序列以及 WREN 位将共同防止在以下情况下发生误写操作：

- 欠压
- 电源毛刺
- 软件故障

16. 运算放大器(OPA0 和 OPA1)

芯片内置 2 组运算放大器 OPA0 和 OPA1，两组运算放大器功能和性能一样，以下描述 x 值为 0，1。

16.1 OPAx 概述

OPAx 具有以下特性：

- 内部集成调零电路；
- 正端、负端可以接至 I/O 口；
- 输出端可接至 I/O 口或内部 ADC 检测通道；
- 可作比较器使用；

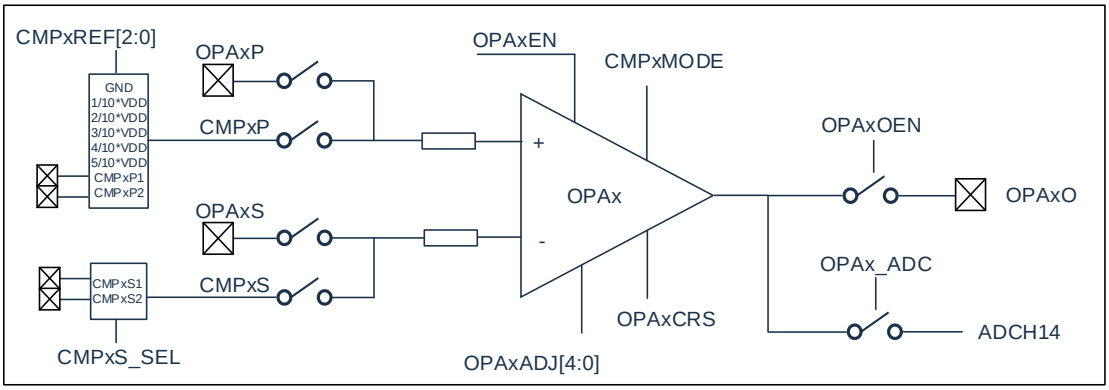


图 16-1：OPAx 框图

16.1.1 OPAx 使能

将寄存器 OPAxCON 的第 7 位 OPAxEN 置 1，使能运算放大器。将 OPAxEN 置 0，禁止运算放大器。使能运算放大器后，正端、负端自动连至 I/O 口。

16.1.2 OPAx 端口选择

1. 使能运算放大器后，正端自动连至 I/O 口，负端自动连至 I/O 口；
2. 运放的输出可以从 OPAxO 引脚输出，这是通过设置 OPAxCON 的第 6 位 OPAxOEN 来实现的；运放输出可以通过设置 OPAxCON 第 4 位接到 ADC14 通道。

注：同一时刻只能使能一路 OPAO 接到 ADC14 通道，同时使能时两路 OPAO 都不接到 ADC14 通道

OPAx 使用相关的 I/O 口必须设置为输入态，包括运放输入和运放输出（需要连接到 IO 时）。

16.1.3 OPAx 工作模式

芯片的内置运放具有 2 种工作模式，正常模式和调节模式。

寄存器 OPAxADJ 的第 6 位 OPAxCOFM 置 0，运放进入正常工作模式。

寄存器 OPAxADJ 的第 6 位 OPAxCOFM 置 1，运放进入调节模式。在调节模式下，运放的正负端内部短路在一起，并连接至运放的正端或者负端（通过 OPAxADJ 的第 5 位 OPAxCRS 来选择）。调节模式的作用是将运放的失调电压调至最小。

调节模式工作流程：

1. 使能运放功能；
2. 设置运放进入调节模式；
3. 设置运放调节模式从正端输入或者负端输入，输入端不能悬空；
4. 将调节位 OPAxADJ<4:0>设置成初始值，最大(1FH)或最小(00H)；
5. 延时一段时间，该时间和外部电容参数有关。
6. 读取运放输出；
7. 将调节位自减 1（初始值设置成最大 1FH）或者自加 1（初始值设置成 00H）；
8. 延时；
9. 读取运放输出，是否发生改变，如果没有改变，则继续执行步骤 7；
10. 读取值发生改变，调零结束，将 OPAxCOFM 清零，进入正常工作模式。

16.2 OPAx 相关寄存器

有 5 个寄存器和 OPA 模块相关，分别是 OPA0CON、OPA1CON、OPA0ADJ、OPA1ADJ、CMPCON。

OPA0 控制寄存器 OPA0CON (98H)

98H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OPA0CON	OPA0EN	OPA0OEN	CMP0MODE	OPA0_ADC	----	----	----	OPA0FT
读写	R/W	R/W	R/W	R/W	----	----	----	R/W
复位值	0	0	0	0	----	----	----	0

Bit7 OPA0EN: OPA0使能位；
1= 使能OPA0
0= 关闭OPA0
Bit6 OPA0OEN: OPA0输出使能
1= OPA0输出接至I/O口(OPA0O管脚)
0= OPA0输出不接至I/O口
Bit5 CMP0MODE: 比较器模式选择
1= 比较器模式
0= 运放模式
Bit4 OPA0_ADC: ADC通道使能
1= OPA0的输出接至ADC14通道
0= OPA0的输出不接至ADC14通道
Bit3~Bit1 未用
Bit0 OPA0FT: 运放输出内部滤波选择
1= OPA0输出内部接滤波电路
0= OPA0输出内部不接滤波电路

OPA0 控制寄存器 OPA0ADJ (99H)

99H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OPA0ADJ	OPA0DOUT	OPA0COFM	OPA0CRS	OPA0ADJ[4:0]-				
读写	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	x	x	x	x	x

Bit7 OPA0DOUT: OPA0输出结果
1= 运放输出为高，正端电压高于负端电压
0= 运放输出为低，正端电压低于负端电压
Bit6 OPA0COFM: OPA0工作模式选择
1= OPA0工作在调节模式
0= OPA0工作在正常模式
Bit5 OPA0CRS: OPA0调节模式输入端选择位；
1= OPA0调节模式正端输入；
0= OPA0调节模式负端输入。
Bit4~Bit0 OPA0ADJ[4:0]: OPA0失调电压调节位

OPA1 控制寄存器 OPA1CON (9AH)

9AH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OPA1CON	OPA1EN	OPA1OEN	CMP1MODE	OPA1_ADC	----	----	----	OPA1FT
读写	R/W	R/W	R/W	R/W	----	----	----	R/W
复位值	0	0	0	0	----	----	----	0

Bit7 OPA1EN: OPA1使能位；
1= 使能OPA1
0= 关闭OPA1
Bit6 OPA1OEN: OPA1输出使能
1= OPA1输出接至I/O口(OPA1O管脚)
0= OPA1输出不接至I/O口
Bit5 CMP1MODE: 比较器模式选择
1= 比较器模式
0= 运放模式
Bit4 OPA1_ADC: ADC通道使能
1= OPA1的输出接至ADC14通道
0= OPA1的输出不接至ADC14通道
Bit3~Bit1 未用
Bit0 OPA1FT: 运放输出内部滤波选择
1= OPA1输出内部接滤波电路
0= OPA1输出内部不接滤波电路

OPA1 控制寄存器 OPA1ADJ (9BH)

9BH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OPA1ADJ	OPA1DOUT	OPA1COFM	OPA1CRS	OPA1ADJ[4:0]				
读写	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	x	x	x	x	x

Bit7 OPA1DOUT: OPA1输出结果
1= 运放输出为高，正端电压高于负端电压
0= 运放输出为低，正端电压低于负端电压
Bit6 OPA1COFM: OPA1工作模式选择
1= OPA1工作在调节模式
0= OPA1工作在正常模式
Bit5 OPA1CRS: OPA1调节模式输入端选择位；
1= OPA1调节模式正端输入；
0= OPA1调节模式负端输入。
Bit4~Bit0 OPA1ADJ[4:0]: OPA1失调电压调节位

CMP 控制寄存器 CMPCON (116H)

116H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CMPCON	CMP1S_SEL	CMP1REF[2:0]			CMP0S_SEL	CMP0REF[2:0]		
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	1	1	0	1	1	1

Bit7 CMP1S_SEL: CMP1负端选择
1= RB3
0= RA5
Bit6~Bit4 CMP1REF[2:0]: CMP1正端选择
000= GND
001= 1/10*VDD
010= 2/10*VDD
011= 3/10*VDD
100= 4/10*VDD
101= 5/10*VDD
110= RB4
111= RA4
Bit3 CMP0S_SEL: CMP0负端选择
1= RA0
0= RA2
Bit2~Bit0 CMP0REF[2:0]: CMP0正端选择
000= GND
001= 1/10*VDD
010= 2/10*VDD
011= 3/10*VDD
100= 4/10*VDD
101= 5/10*VDD
110= RA1
111= RA1

17. LVD 低电压检测

17.1 LVD 模块概述

本系列单片机具有低电压检测功能，可以用于监测电源电压，如果电源电压低于设定的值，可以产生一个中断信号；程序可实时读取 LVD 输出标志位。

17.2 LVD 相关的寄存器

LVD 控制寄存器 LVDCON(11FH)

11FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
LVDCON	LVD_RES	—	—	—	LVD_SEL[2:0]			LVDEN
R/W	R	—	—	—	R/W	R/W	R/W	R/W
复位值	X	—	—	—	0	0	0	0

Bit7 LVD_RES: LVD 输出结果
0= VDD>设定的 LVD 电压；
1= VDD<设定的 LVD 电压；
Bit6~Bit4 未用
Bit3~Bit1 LVD_SEL[2:0]: LVD 电压选择
000= 2.2V；
001= 2.4V；
010= 2.7V；
011= 3.0V；
100= 3.3V；
101= 3.7V；
110= 4.0V；
111= 4.3V；
Bit0 LVDEN: LVD 使能位
0= 禁止；
1= 使能；

17.3 LVD 操作

通过设定 LVDCON 寄存器中的 LVD 电压值 V_{SET}，使能 LVDEN 之后，由于芯片内部做了滤波处理，以减少电源电压在 V_{SET} 附近波动时造成的 LVD 输出结果的频繁波动，电源电压需要持续 1.5ms 低于 V_{SET} 才会将 LVD_RES 置 1，同时 LVDIF 置 1；如果使能相应的中断使能位，将产生 LVD 中断。

LVD 不可以用于中断唤醒模式。

18. 通用同步/异步收发器（USART）

通用同步/异步收发器（USART）模块是一个串行 I/O 通信外设。该模块包括所有执行与器件程序执行无关的输入或输出串行数据传输所必需的时钟发生器、移位寄存器和数据缓冲器。USART 也可称为串行通信接口（SerialCommunicationsInterface，SCI），它可被配置为能与 CRT 终端和个人计算机等外设通信的全双工异步系统；也可以被配置为能与 A/D 或 D/A 集成电路、串行 EEPROM 等外设或其他单片机通信的半双工同步系统。与之通信的单片机通常不具有产生波特率的内部时钟，它需要主控同步器件提供外部时钟信号。

USART 模块包含如下功能：

- 全双工异步发送和接收
- 单字符输出缓冲器
- 双字符输入缓冲器
- 接收到字符的帧错误检测
- 半双工同步从动模式
- 可将字符长度编程为 8 位或 9 位
- 输入缓冲溢出错误检测
- 半双工同步主控模式
- 同步模式下，可编程时钟极性

以下图 18-1 和图 18-2 为 USART 收发器的框图。

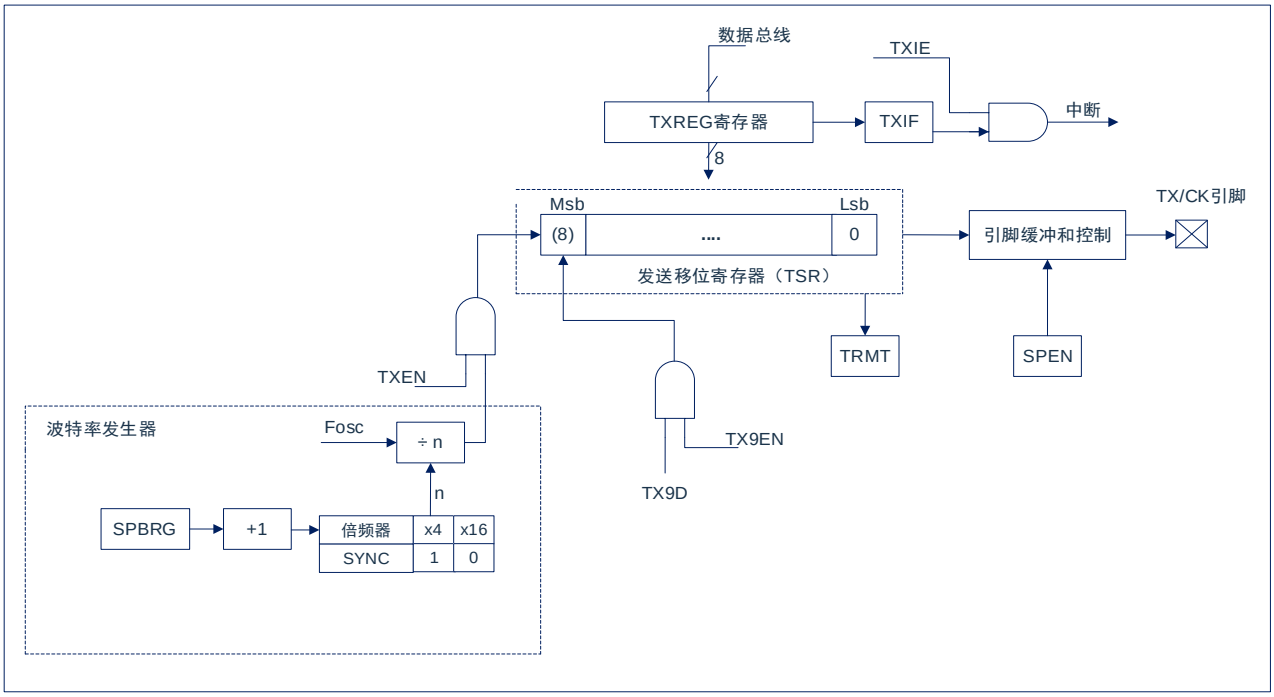


图18-1：USART发送框图

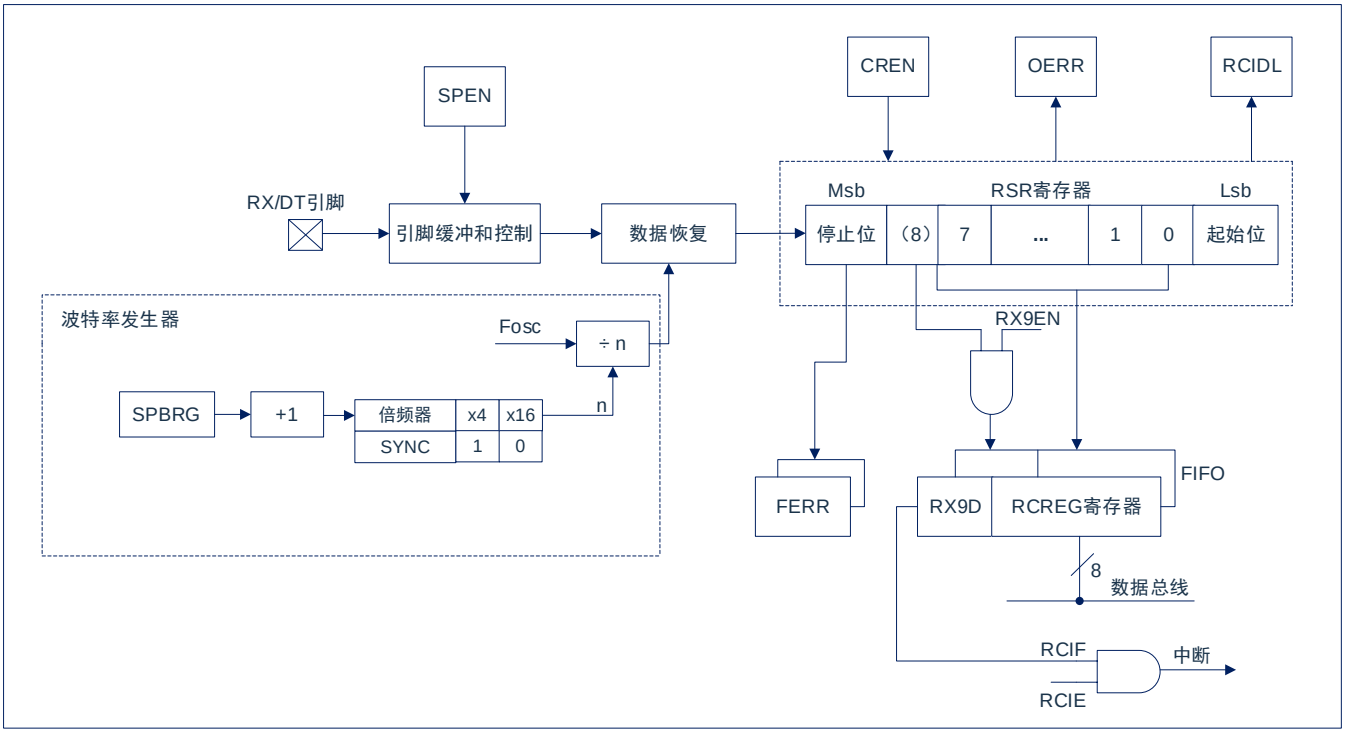


图18-2：USART接收框图

USART 模块的操作是通过 3 个寄存器控制的：

- 发送状态和控制寄存器（TXSTA）
- 接收状态和控制寄存器（RCSTA）

18.1 USART 异步模式

USART 使用标准不归零码（non-return-to-zero，NRZ）格式发送和接收数据。使用 2 种电平实现 NRZ：

代表 1 数据位的 VOH 标号状态（markstate），和代表 0 数据位的 VOL 空格状态（spacestate）。采用 NRZ 格式连续发送相同值的数据位时，输出电平将保持该位的电平，而不会在发送完每个位后返回中间电平值。NRZ 发送端口在标号状态空闲。每个发送的字符都包括一个起始位，后面跟有 8 个或 9 个数据位和一个或多个终止字符发送的停止位。起始位总是处于空格状态，停止位总是处于标号状态。最常用的数据格式为 8 位。每个发送位的持续时间为 1/（波特率）。片上专用 8 位/16 位波特率发生器可用于通过系统振荡器产生标准波特率频率。

USART 首先发送和接收 LSb。USART 的发送器和接收器在功能上是相互独立的，但采用相同的数据格式和波特率。硬件不支持奇偶校验，但可以用软件实现（奇偶校验位是第 9 个数据位）。

18.1.1 USART 异步发生器

图 18-1 所示为 USART 发送器的框图。发送器的核心是串行发送移位寄存器（TSR），该寄存器不能由软件直接访问。TSR 从 TXREG 发送缓冲寄存器获取数据。

18.1.1.1 使能发送器

通过配置如下三个控制位使能 USART 发送器，以用于异步操作：

- TXEN=1
- SYNC=0
- SPEN=1

假设所有其他 USART 控制位处于其默认状态。

将 TXSTA 寄存器的 TXEN 位置 1，使能 USART 发送器电路。将 TXSTA 寄存器的 SYNC 位清零，将 USART 配置用于异步操作。

注：
1. 当将 SPEN 位和 TXEN 位置 1，SYNC 位清零，TX/CKI/O 引脚被自动配置为输出引脚，无需考虑相应 TRIS 位的状态。
2. 当将 SPEN 位和 CREN 位置 1，SYNC 位清零，RX/DTI/O 引脚被自动配置为输入引脚，无需考虑相应 TRIS 位的状态。

18.1.1.2 发送数据

向 TXREG 寄存器写入一个字符，以启动发送。如果这是第一个字符，或者前一个字符已经完全从 TSR 中移出，TXREG 中的数据会立即发送给 TSR 寄存器。如果 TSR 中仍保存全部或部分前一字符，新的字符数据将保存在 TXREG 中，直到发送完前一字符的停止位为止。然后，在停止位发送完毕后经过一个 TCY，TXREG 中待处理的数据将被传输到 TSR。当数据从 TXREG 传输至 TSR 后，立即开始进行起始位、数据位和停止位序列的发送。

18.1.1.3 发送中断标志

只要使能 USART 发送器且 TXREG 中没有待发送数据，就将 PIR1 寄存器的 TXIF 中断标志位置 1。换句话说，只有当 TSR 忙于处理字符和 TXREG 中有排队等待发送的新字符时，TXIF 位才处于清零状态。写 TXREG 时，不立即清零 TXIF 标志位。TXIF 在写指令后的第 2 个指令周期清零。在写 TXREG 后立即查询 TXIF 会返回无效结果。TXIF 为只读位，不能由软件置 1 或清零。

可通过将 PIE1 寄存器的 TXIE 中断允许位置 1 允许 TXIF 中断。然而，只要 TXREG 为空，不管 TXIE 允许位的状态如何都会将 TXIF 标志位置 1。

如果要在发送数据时使用中断，只在有待发送数据时，才将 TXIE 位置 1。当将待发送的最后一个字符写入 TXREG 后，将 TXIE 中断允许位清零。

18.1.1.4 TSR 状态

TXSTA 寄存器的 TRMT 位指示 TSR 寄存器的状态。TRMT 位为只读位。当 TSR 寄存器为空时，TRMT 位被置 1，当有字符从 TXREG 传输到 TSR 寄存器时，TRMT 被清零。TRMT 位保持清零状态，直到所有位从 TSR 寄存器移出为止。没有任何中断逻辑与该位有关，所以用户必须查询该位来确定 TSR 位的状态。

注：TSR 寄存器并未映射到数据存储器中，因此用户不能直接访问它。

18.1.1.5 发送 9 位字符

USART 支持 9 位字符发送。当 TXSTA 寄存器的 TX9EN 位置 1 时，USART 将移出每个待发送字符的 9 位。TXSTA 寄存器的 TX9D 位为第 9 位，即最高数据位。当发送 9 位数据时，必须在将 8 个最低位写入 TXREG 之前，写 TX9D 数据位。在写入 TXREG 寄存器后会立即将 9 个数据位传输到 TSR 移位寄存器。

18.1.1.6 设置异步发送

1. 初始化 SPBRG 寄存器，以获得所需的波特率
   （请参见“USART 波特率发生器（BRG）”章节。
2. 通过将 SYNC 位清零并将 SPEN 位置 1 使能异步串口。
3. 如果需要 9 位发送，将 TX9EN 控制位置 1。当接收器被设置为进行地址检测时，将数据位的第 9 位置 1，指示 8 个最低数据位为地址。
4. 将 TXEN 控制位置 1，使能发送；这将导致 TXIF 中断标志位置 1。
5. 如果需要中断，将 PIE1 寄存器中的 TXIE 中断允许位置 1；如果 INTCON 寄存器的 GIE 和 PEIE 位也置 1 将立即产生中断。
6. 若选择发送 9 位数据，第 9 位应该被装入 TX9D 数据位。
7. 将 8 位数据装入 TXREG 寄存器开始发送数据。

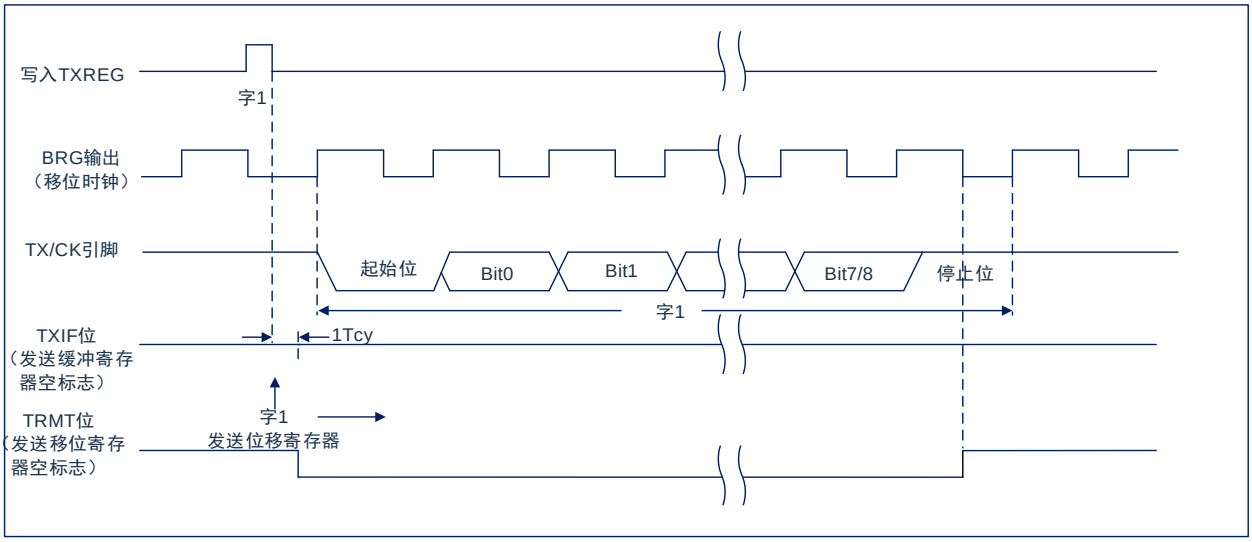


图 18-3：异步发送

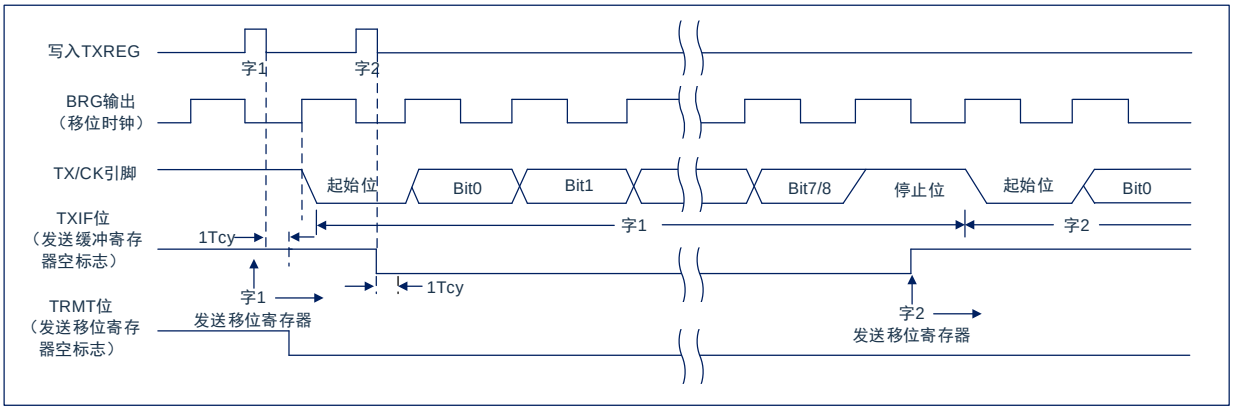


图 18-4：异步发送（背靠背）

注：本时序图显示了两次连续的发送。

18.1.2 USART 异步接收器

异步模式通常用于 RS-232 系统。图 18-2 给出了接收器的框图。在 RX/DT 引脚上接收数据和驱动数据恢复电路。数据恢复电路实际上是一个以 16 倍波特率为工作频率的高速移位器，而串行接收移位寄存器（ReceiveShiftRegister，RSR）则以比特率工作。当字符的全部 8 位或 9 位数据位被移入后，立即将它们传输到一个 2 字符的先入先出（FIFO）缓冲器。FIFO 缓冲器允许接收 2 个完整的字符和第 3 个字符的起始位，然后必须由软件将接收到的数据提供给 USART 接收器。FIFO 和 RSR 寄存器不能直接由软件访问。通过 RCREG 寄存器访问接收到的数据。

18.1.2.1 使能接收器

通过配置如下三个控制位使能 USART 接收器，以用于异步操作。

- CREN=1
- SYNC=0
- SPEN=1

假设所有其他 USART 控制位都处于默认状态。将 RCSTA 寄存器的 CREN 位置 1，使能 USART 接收器电路。将 TXSTA 寄存器的 SYNC 位清零，配置 USART 以用于异步操作。

注：
1. 当将 SPEN 位和 TXEN 位置 1，SYNC 位清零，TX/CKI/O 引脚被自动配置为输出引脚，无需考虑相应 TRIS 位的状态。
2. 当将 SPEN 位和 CREN 位置 1，SYNC 位清零，RX/DTI/O 引脚被自动配置为输入引脚，无需考虑相应 TRIS 位的状态。

18.1.2.2 接收数据

接收器数据恢复电路在第一个位的下降沿开始接收字符。第一个位，通常称为起始位，始终为 0。由数据恢复电路计数半个位时间，到起始位的中心位置，校验该位是否仍为零。如果该位不为零，数据恢复电路放弃接收该字符，而不会产生错误，并且继续查找起始位的下降沿。如果起始位零校验通过，则数据恢复电路计数一个完整的位时间，到达下一位的中心位置。由择多检测电路对该位进行采样，将相应的采样结果 0 或 1 移入 RSR。重复该过程，直到完成所有数据位的采样并将其全部移入 RSR 寄存器。测量最后一个位的时间并采样其电平。此位为停止位，总是为 1。如果数据恢复电路在停止位的位置采样到 0，则该字符的帧错误标志将置 1，反之，该字符的帧错误标志会清零。

当接收到所有数据位和停止位后，RSR 中的字符会被立即传输到 USART 的接收 FIFO 并将 PIR1 寄存器的 RCIF 中断标志位置 1。通过读 RCREG 寄存器将 FIFO 最顶端的字符移出 FIFO。

注：如果接收 FIFO 溢出，则不能再继续接收其他字符，直到溢出条件被清除。

18.1.2.3 接收中断

只要使能 USART 接收器且在接收 FIFO 中有未读数据，PIR1 寄存器中的 RCIF 中断标志位就会置 1。RCIF 中断标志位为只读，不能由软件置 1 或清零。

通过将下列所有位均置 1 来允许 RCIF 中断：

- PIE1 寄存器的 RCIE 中断允许位；
- INTCON 寄存器的 PEIE 外设中断允许位；
- INTCON 寄存器的 GIE 全局中断允许位。

如果 FIFO 中有未读数据，无论中断允许位的状态如何，都会将 RCIF 中断标志位置 1。

18.1.2.4 接收帧错误

接收 FIFO 缓冲器中的每个字符都有一个相应的帧错误状态位。帧错误指示未在预期的时间内接收到停止位。

由 RCSTA 寄存器的 FERR 位获取帧错误状态。必须在读 RCREG 寄存器之后读 FERR 位。

帧错误（FERR=1）并不会阻止接收更多的字符。无需清零 FERR 位。

清零 RCSTA 寄存器的 SPEN 位会复位 USART，并强制清零 FERR 位。帧错误本身不会产生中断。

注：如果接收 FIFO 缓冲器中所有接收到的字符都有帧错误，重复读 RCREG 不会清零 FERR 位。

18.1.2.5 接收溢出错误

接收 FIFO 缓冲器可以保存 2 个字符。但如果在访问 FIFO 之前，接收到完整的第 3 个字符，则会产生溢出错误。此时，RCSTA 寄存器的 OERR 位会置 1。可以读取 FIFO 缓冲器内的字符，但是在错误清除之前，不能再接收其他字符。可以通过清零 RCSTA 寄存器的 CREN 位或通过清零 RCSTA 寄存器的 SPEN 位使 USART 复位来清除错误。

18.1.2.6 接收 9 位字符

USART 支持 9 位数据接收。将 RCSTA 寄存器的 RX9EN 位置 1 时，USART 将接收到的每个字符的 9 位移入 RSR。必须在读 RCREG 中的低 8 位之后，读取 RX9D 数据位。

18.1.2.7 异步接收设置

1. 初始化 SPBRG 寄存器，以获得所需的波特率。
   （请参见“USART 波特率发生器（BRG）”章节。
2. 将 SPEN 位置 1，使能串行端口。必须清零 SYNC 位以执行异步操作。
3. 如果需要中断，将 PIE1 寄存器中的 RCIE 位和 INTCON 寄存器的 GIE 和 PEIE 位置 1。
4. 如果需要接收 9 位数据，将 RX9EN 位置 1。
5. 将 CREN 位置 1 使能接收。
6. 当一个字符从 RSR 传输到接收缓冲器时，将 RCIF 中断标志位置 1。如果 RCIE 中断允许位也置 1 还将产生中断。
7. 读 RCREG 寄存器，从接收缓冲器获取接收到的 8 个低数据位。
8. 读 RCSTA 寄存器获取错误标志位和第 9 位数据位（如果使能 9 位数据接收）。
9. 如果发生溢出，通过清零 CREN 接收器使能位清零 OERR 标志。

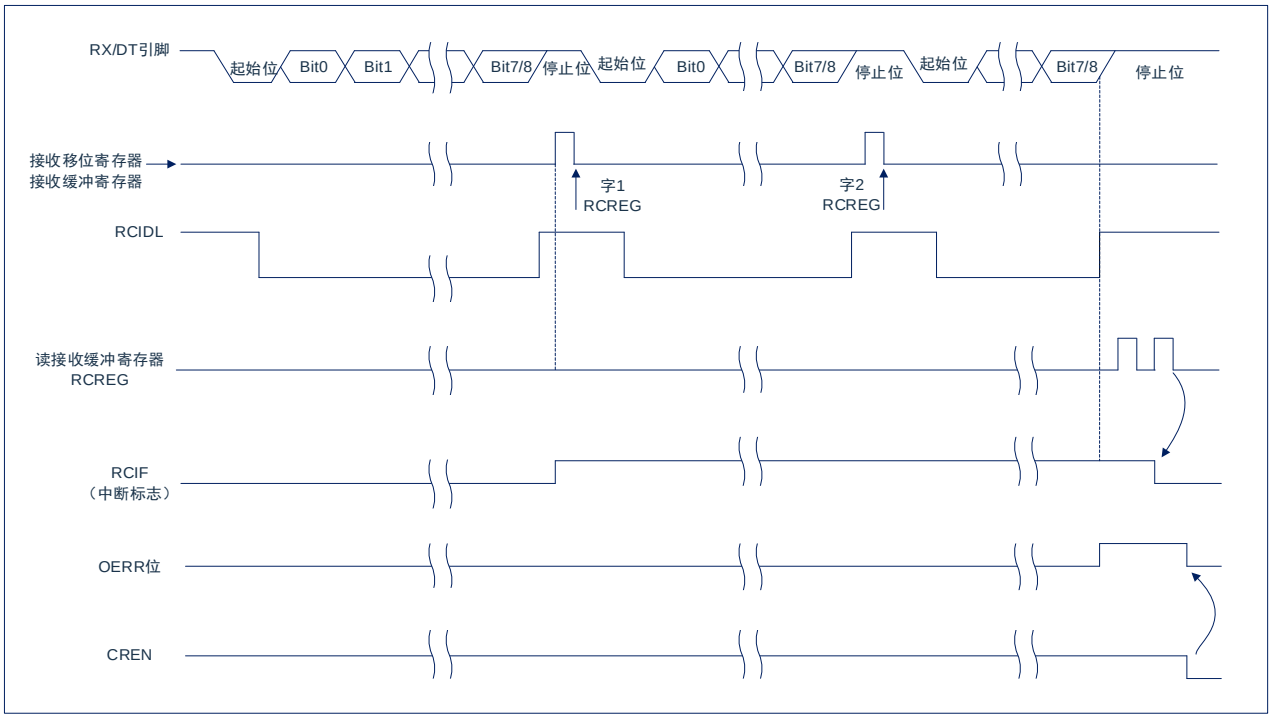


图 18-5：异步接收

注：本时序图显示出了在 RX 输入引脚接收三个字的情况，在第 3 个字后读取 RCREG（接收缓冲器），导致 OERR（溢出）位置 1。

18.2 异步操作时的时钟准确度

由厂家校准内部振荡电路（INTOSC）的输出。但在 VDD 或温度变化时，INTOSC 会发生频率漂移，从而会直接影响异步波特率。可通过以下方法调整波特率时钟，但需要某种类型的参考时钟源。

18.3 USART 相关寄存器

TXSTA：发送状态和控制寄存器(117H)

117H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TXSTA	CSRC	TX9EN	TXEN(1)	SYNC	SCKP	STOPBIT	TRMT	TX9D
读写	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
复位值	0	0	0	0	0	0	1	0

Bit7 CSRC: 时钟源选择位；
异步模式: 任意值；
同步模式:
1=主控模式（由内部BRG产生时钟信号）；
0=从动模式（由外部时钟源产生时钟）。

Bit6 TX9EN: 9位发送使能位；
1= 选择9位发送；
0= 选择8位发送。

Bit5 TXEN: 发送使能位(1)；
1= 使能发送；
0= 禁止发送。

Bit4 SYNC: USART模式选择位；
1= 同步模式；
0= 异步模式。

Bit3 SCKP: 同步时钟极性选择位。
异步模式:
1=将数据字符的电平取反后发送到TX/CK引脚；
0=直接将数据字符发送到TX/CK引脚。
同步模式:
0=在时钟上升沿传输数据；
1=在时钟下降沿传输数据。

Bit2 STOPBIT: 停止位选择（仅对异步发送有效），当通过判断TRMT=1来送数据时，此位需写0。
1= 1位停止位；
0= 2位停止位。

Bit1 TRMT: 发送移位寄存器状态位；
1= TSR为空；
0= TSR为满。

Bit0 TX9D: 发送数据的第9位。
可以是地址/数据位或奇偶校验位。

注：
1) 同步模式下，SREN/CREN 会颠覆 TXEN 的值。
2) 当通过判断 TRMT=1 来送数据时，STOPBIT 需写 0。

RCSTA：接收状态和控制寄存器(118H)

118H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RCSTA	SPEN	RX9EN	SREN	CREN	RCIDL	FERR	OERR	RX9D
读写	R/W	R/W	R/W	R/W	R	R	R	R
复位值	0	0	0	0	1	0	0	0

Bit7 SPEN: 串行端口使能位；
1= 使能串行端口（将RX/DT和TX/CK引脚配置为串行端口引脚）；
0= 禁止串行端口（保持在复位状态）。

Bit6 RX9EN: 9位接收使能位；
1= 选择9位接收；
0= 选择8位接收。

Bit5 SREN: 单字节接收使能位。
异步模式: 任意值。
同步主控模式:
1=使能单字节接收；
0=禁止单字节接收。
接收完成后清零该位。
同步从动模式: 任意值。

Bit4 CREN: 连续接收使能位。
异步模式:
1=使能接收；
0=禁止接收。
同步模式:
1=使能连续接收直到清零CREN使能位（CREN覆盖SREN）；
0=禁止连续接收。

Bit3 RCIDL: 接收空闲标志位。
异步模式: 1=接收器空闲；
0=已接收到起始位，接收器正在接收数据。
同步模式: 任意值。

Bit2 FERR: 帧错误位。
1= 帧错误（可通过读RCREG寄存器更新并接收下一个有效字节）；
0= 没有帧错误。

Bit1 OERR: 溢出错误位。
1= 溢出错误（可通过清零CREN位清零）；
0= 没有溢出错误。

Bit0 RX9D: 接收到数据的第9位。
此位可以是地址/数据位或奇偶校验位，必须由用户固件计算得到。

18.4 USART 波特率发生器（BRG）

波特率发生器（BRG）是一个 8 位，专用于支持 USART 的异步和同步工作模式。

SPBRG 寄存器对决定自由运行的波特率定时器的周期。

表 18-1 包含了计算波特率的公式。公式 1 为一个计算波特率和波特率误差的示例。

表 18-1 中给出了已经计算好的各种异步模式下的典型波特率和波特率误差值，可便于您使用。

向 SPBRG 寄存器对写入新值会导致 BRG 定时器复位（或清零）。这可以确保 BRG 无需等待定时器溢出就可以输出新的波特率。

如果系统时钟在有效的接收过程中发生了变化，可能会产生接收错误或导致数据丢失。为了避免此问题，应该检查 RCIDL 位的状态以确保改变系统时钟之前，接收操作处于空闲状态。

公式 1：计算波特率误差

对于 F_{SYS} 为 8MHz，目标波特率为 9600bps，异步模式采用 8 位 BRG 的器件：

$$目标波特率=\frac{F_{OSC}}{16([SPBRG]+1)}$$

求解 SPBRG：

$$X=\frac{\frac{F_{OSC}}{目标波特率}}{16}-1=\frac{\frac{8000000}{9600}}{16}-1=[51.08]=51$$

$$计算波特率=\frac{8000000}{16（51+1）}=9615$$

$$误差=\frac{计算波特率-目标波特率}{目标波特率}=\frac{（9615-9600）}{9600}=0.16\%$$

表 18-1：波特率公式

配置位	BRG/USART 模式	波特率公式
SYNC		
0	8 位/异步	$F_{OSC}/[16(n+1)]$
1	8 位/同步	$F_{OSC}/[4(n+1)]$

说明：n= SPBRG 寄存器的值。

表 18-2：异步模式下的波特率

目标波特率	SYNC=0					
	F_{OSC}=8.00MHz			F_{OSC}=16.00MHz		
	实际波特率	误差（%）	SPBRG 值	实际波特率	误差（%）	SPBRG 值
2400	2404	0.16	207	----	----	----
9600	9615	0.16	51	9615	0.16	103
10417	10417	0	47	10417	0	95
19200	19230	0.16	25	19230	0.16	51

18.5 USART 同步模式

同步串行通信通常用在具有一个主控器件和一个或多个从动器件的系统中。主控器件包含产生波特率时钟所必需的电路，并为系统中的所有器件提供时钟。从动器件可以使用主控时钟，因此无需内部时钟发生电路。

在同步模式下，有 2 条信号线：双向数据线和时钟线。从动器件使用主控器件提供的外部时钟，将数据串行移入或移出相应的接收和发送移位寄存器。因为使用双向数据线，所以同步操作只能采用半双工方式。半双工是指：主控器件和从动器件都可以接收和发送数据，但是不能同时进行接收或发送。USART 既可以作为主控器件，也可以作为从动器件。

同步发送无需使用起始位和停止位。

18.5.1 同步主控模式

下列位用来将 USART 配置为同步主控操作：

- SYNC=1
- CSRC=1
- SREN=0（用于发送）；SREN=1（用于接收）
- CREN=0（用于发送）；CREN=1（用于接收）
- SPEN=1

将 TXSTA 寄存器的 SYNC 位置 1，可将 USART 配置用于同步操作。将 TXSTA 寄存器的 CSRC 位置 1，将器件配置为主控器件。将 RCSTA 寄存器的 SREN 和 CREN 位清零，以确保器件处于发送模式，否则器件配置为接收模式。将 RCSTA 寄存器的 SPEN 位置 1，使能 USART。

18.5.1.1 主控时钟

同步数据传输使用独立的时钟线同步传输数据。配置为主控器件的器件在 TX/CK 引脚发送时钟信号。当 USART 被配置为同步发送或接收操作时，TX/CK 输出驱动器自动使能。串行数据位在每个时钟的上升沿发生改变，以确保它们在下降沿有效。每个数据位的时间为一个时钟周期，有多少数据位就只能产生多少个时钟周期。

18.5.1.2 时钟极性

器件提供时钟极性选项以与 Microwire 兼容。由 TXSTA 寄存器的 SCKP 位选择时钟极性。将 SCKP 位置 1 将时钟空闲状态设置为高电平。当 SCKP 位置 1 时，数据在每个时钟的下降沿发生改变。清零 SCKP 位，将时钟空闲状态设置为低电平。当清零 SCKP 位时，数据在每个时钟的上升沿发生改变。

18.5.1.3 同步主控发送

由器件的 RX/DT 引脚输出数据。当 USART 配置为同步主控发送操作时，器件的 RX/DT 和 TX/CK 输出引脚自动使能。

向 TXREG 寄存器写入一个字符开始发送。如果 TSR 中仍保存全部或部分前一字符，新的字符数据保存在 TXREG 中，直到发送完前一字符的停止位为止。如果这是第一个字符，或者前一个字符已经完全从 TSR 中移出，则 TXREG 中的数据会被立即传输到 TSR 寄存器。当字符从 TXREG 传输到 TSR 后会立即开始发送数据。每个数据位在主控时钟的上升沿发生改变，并保持有效，直至下一个时钟的上升沿为止。

注：TSR 寄存器并未映射到数据存储器中，因此用户不能直接访问它。

18.5.1.4 同步主控发送设置

1. 初始化 SPBRG 寄存器，以获得所需的波特率。
   （请参见“USART 波特率发生器（BRG）”章节）
2. 将 SYNC、SPEN 和 CSRC 位置 1，使能同步主控串行端口。
3. 将 SREN 和 CREN 位清零，禁止接收模式。
4. 将 TXEN 位置 1 使能发送模式。
5. 如果需要发送 9 位字符，将 TX9EN 置 1。
6. 若需要中断，将 PIE1 寄存器中的 TXIE 位，以及 INTCON 寄存器中的 GIE 和 PEIE 位置 1。
7. 如果选择发送 9 位字符，应该将第 9 位数据装入 TX9D 位。
8. 通过将数据装入 TXREG 寄存器启动发送。

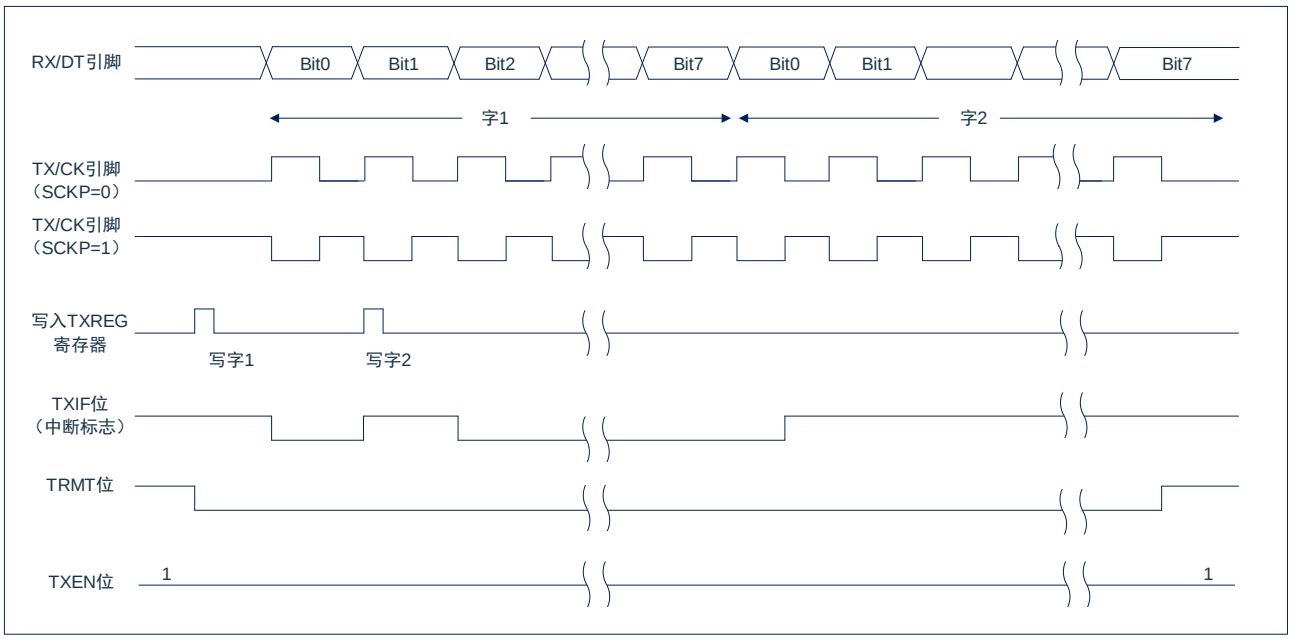


图 18-6：同步发送

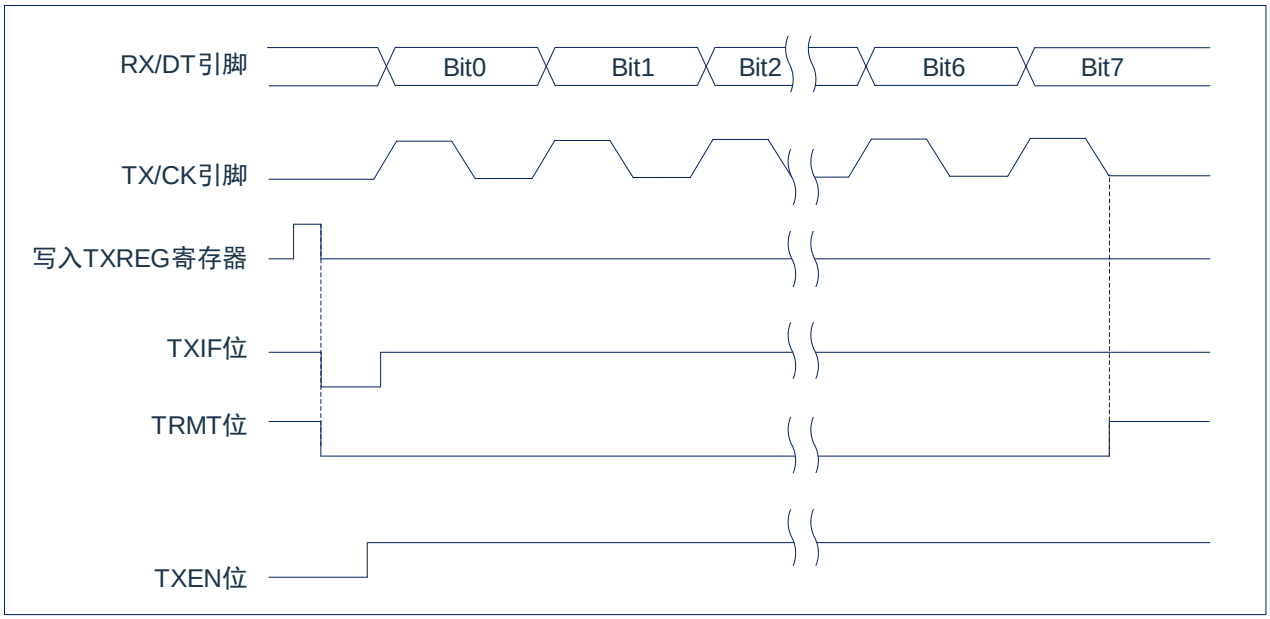


图 18-7：同步发送（通过 TXEN）

18.5.1.5 同步主控接收

在 RX/DT 引脚接收数据。当 USART 配置为同步主控接收时，自动禁止器件的 RX/DT 引脚的输出驱动器。

在同步模式下，将单字接收使能位（RCSTA 寄存器的 SREN 位）或连续接收使能位（RCSTA 寄存器的 CREN 位）置 1 使能接收。当将 SREN 置 1，CREN 位清零时，一个单字符中有多少数据位就只能产生多少时钟周期。一个字符传输结束后，自动清零 SREN 位。当 CREN 置 1 时，将产生连续时钟，直到清零 CREN 为止。如果 CREN 在一个字符的传输过程中清零，则 CK 时钟立即停止，并丢弃该不完整的字符。如果 SREN 和 CREN 都置 1，则当第一个字符传输完成时，SREN 位被清零，CREN 优先。

将 SREN 或 CREN 位置 1，启动接收。在 TX/CK 时钟引脚信号的下降沿采样 RX/DT 引脚上的数据，并将采样到的数据移入接收移位寄存器（RSR）。当 RSR 接收到一个完整字符时，将 RCIF 位置 1，字符自动移入 2 字节接收 FIFO。接收 FIFO 中最顶端字符的低 8 位可通过 RCREG 读取。只要接收 FIFO 中仍有未读字符，则 RCIF 位就保持置 1 状态。

18.5.1.6 从时钟

同步数据传输使用与数据线同步的独立时钟线。配置为从器件的器件接收 TX/CK 线上的时钟信号。当器件被配置为同步从发送或接收操作时，TX/CK 引脚的输出驱动器自动被禁止。串行数据位在时钟信号的前沿改变，以确保其在每个时钟的后沿有效。每个时钟周期只能传输一位数据，因此有多少数据位要传输就必须接收多少个时钟。

18.5.1.7 接收溢出错误

接收 FIFO 缓冲器可以保存 2 个字符。在读 RCREG 以访问 FIFO 之前，若完整地接收到第 3 个字符，则产生溢出错误。此时，RCSTA 寄存器的 OERR 位会置 1。FIFO 中先前的数据不会被改写。可以读取 FIFO 缓冲器内的 2 个字符，但是在错误被清除前，不能再接收其他字符。只能通过清除溢出条件，将 OERR 位清零。如果发生溢出时，SREN 位为置 1 状态，CREN 位为清零状态，则通过读 RCREG 寄存器清除错误。如果溢出时，CREN 为置 1 状态，则可以清零 RCSTA 寄存器的 CREN 位或清零 SPEN 位以复位 USART，从而清除错误。

18.5.1.8 接收 9 位字符

USART 支持接收 9 位字符。当 RCSTA 寄存器的 RX9EN 位置 1 时，USART 将接收到的每个字符的 9 位数据移入 RSR。当从接收 FIFO 缓冲器读取 9 位数据时，必须在读 RCREG 的 8 个低位之后，读取 RX9D 数据位。

18.5.1.9 同步主控接收设置

1. 初始化 SPBRG 寄存器，以获得所需的波特率。（注：必须满足 SPBRG>05H）
2. 将 SYNC、SPEN 和 CSRC 位置 1 使能同步主控串行端口。
3. 确保将 CREN 和 SREN 位清零。
4. 如果使用中断，将 INTCON 寄存器的 GIE 和 PEIE 位置 1，并将 PIE1 寄存器的 RCIE 位也置 1。
5. 如果需要接收 9 位字符，将 RX9EN 位置 1。
6. 将 SREN 位置 1，启动接收，或将 CREN 位置 1 使能连续接收。
7. 当字符接收完毕后，将 RCIF 中断标志位置 1。如果允许位 RCIE 置 1，还会产生一个中断。
8. 读 RCREG 寄存器获取接收到的 8 位数据。
9. 读 RCSTA 寄存器以获取第 9 个数据位（使能 9 位接收时），并判断接收过程中是否产生错误。
10. 如果产生溢出错误，清零 RCSTA 寄存器的 CREN 位或清零 SPEN 以复位 USART 来清除错误。

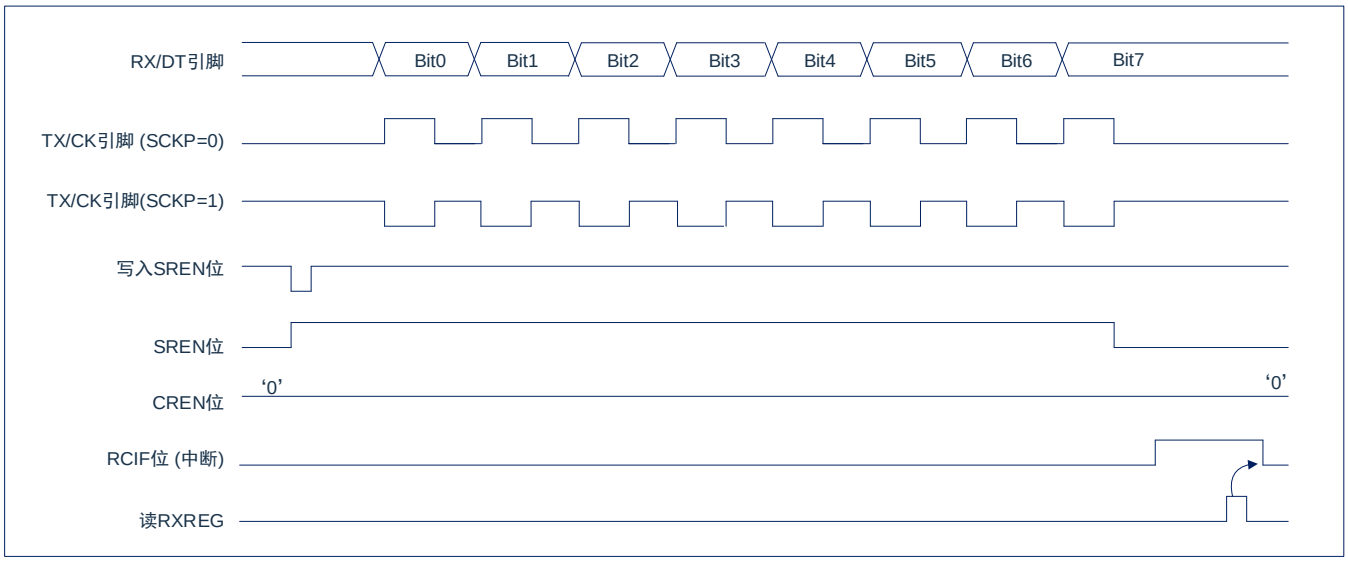


图 18-8：同步接收（主控模式，SREN）

注：时序图说明了 SREN=1 时的同步主控模式。

18.5.2 同步从动模式

下列位用来将 USART 配置为同步从动操作：

- SYNC=1
- CSRC=0
- SREN=0（用于发送）；SREN=1（用于接收）
- CREN=0（用于发送）；CREN=1（用于接收）
- SPEN=1

将 TXSTA 寄存器的 SYNC 位置 1，可将器件配置用于同步操作。将 TXSTA 寄存器的 CSRC 位置 1，将器件配置为从动器件。将 RCSTA 寄存器的 SREN 和 CREN 位清零，以确保器件处于发送模式，否则器件将被配置为接收模式。将 RCSTA 寄存器的 SPEN 位置 1，使能 USART。

18.5.2.1 USART 同步从动发送

同步主控和从动模式的工作原理是相同的（见章节“同步主控发送”）

18.5.2.2 同步从动发送设置

1. 将 SYNC 和 SPEN 位置 1 并将 CSRC 位清零。
2. 将 CREN 和 SREN 位清零。
3. 如果使用中断，将 INTCON 寄存器的 GIE 和 PEIE 位置 1，并将 PIE1 寄存器的 TXIE 位也置 1。
4. 如果需要发送 9 位数据，将 TX9EN 位置 1。
5. 将 TXEN 位置 1 使能发送。
6. 若选择发送 9 位数据，将最高位写入 TX9D 位。
7. 将低 8 位数据写入 TXREG 寄存器开始传输。

18.5.2.3 USART 同步从动接收

除了以下不同外，同步主控和从动模式的工作原理相同。

1. CREN 位总是置 1，因此接收器不能进入空闲状态。
2. SREN 位，在从动模式可为“任意值”。

18.5.2.4 同步从动接收设置

1. 将 SYNC 和 SPEN 位置 1 并将 CSRC 位清零。
2. 如果使用中断，将 INTCON 寄存器的 GIE 和 PEIE 位置 1，并将 PIE1 寄存器的 RCIE 位也置 1。
3. 如果需要接收 9 位字符，将 RX9EN 位置 1。
4. 将 CREN 位置 1，使能接收。
5. 当接收完成后，将 RCIF 位置 1。如果 RCIE 已置 1，还会产生一个中断。
6. 读 RCREG 寄存器，从接收 FIFO 缓冲器获取接收到的 8 个低数据位。
7. 如果使能 9 位模式，从 RCSTA 寄存器的 RX9D 位获取最高位。

如果产生溢出错误，清零 RCSTA 寄存器的 CREN 位或清零 SPEN 位以复位 USART 来清除错误。

19. SPI 模块

19.1 SPI 模块概述

SPI 模式允许同时同步发送和接收 8 位数据。支持 SPI 的主控 4 种模式和从动 2 种模式。另外，可选择 3 线模式或 4 线模式。

4 线模式下使用以下三个引脚来完成通信：

- 主控数据输入/从动数据输出（MISO）
- 主控数据输出/从动数据输入（MOSI）
- 串行时钟（SCK）
- 从动选择（SS）

3 线模式下使用以下三个引脚来完成通信：

- 串行数据输入/输出（SDIO）
- 串行时钟（SCK）
- 从动选择（SS）

注：以下描述中，SDI 是代表主控模式的 MISO 引脚和从动模式的 MOSI 引脚；SDO 是代表主控模式的 MOSI 引脚和从动模式的 MISO 引脚。

19.2 SPI 相关寄存器

SPI 控制寄存器 SPICON2(11EH)

11EH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SPICON2	---	CKE	MODE	---	---	---	---	SPIBF
读写	---	R/W	R/W	---	---	---	---	R
复位值	---	0	0	---	---	---	---	0

Bit7 保留 需写0

Bit 6 CKE: SPI时钟边沿选择位。（注：在从动模式下，CKE必须设置为0）

SPICKP= 0

0= 在SCK引脚的上升沿发送数据；

1= 在SCK引脚的下降沿发送数据。

SPICKP = 1

0 = 在SCK引脚的下降沿发送数据；

1 = 在SCK引脚的上升沿发送数据。

Bit5 MODE: 模式选择

1=3线模式 (当需要发送时，SDIO口TRIS位需清0；当需要接收时，SDIO口TRIS需置1)

0=4线模式

Bit4~Bit1 未用。

Bit0 SPIBF 缓冲器满状态位。

1= 接收完成，SPIBUF满。

0= 接收未完成，SPIBUF空。

SPI 控制寄存器 SPICON(11DH)

11DH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SPICON	SPIWCOL	SPIOV	SPIEN	SPICKP	SPIM3	SPIM2	SPIM1	SPIM0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7 SPIWCOL: 写冲突标志位

1= 在发送/接收数据过程中，试图对 SPIBUF 寄存器进行写操作。

0= 未发生冲突。

Bit6 SPIOV: 接收溢出指示位。

1= SPIBUF仍保持前一数据时，又收到一个新的字节。出现溢出时，SPISR中的数据会丢失。溢出只会在从动模式下发生。在从动模式中，即使仅发送数据，用户也必须读SPIBUF以避免溢出。在主控模式中，溢出位不被置1，因为每次接收或发送新数据，都要通过写SPIBUF寄存器来启动（该位必须由软件清零）。

0= 没有溢出。

Bit5 SPIEN: SPI使能位。

1= 使能串行端口并将SCK、SDO、SDI和SS配置为串行端口引脚。

0= 禁止串行端口并将这些引脚配置为I/O端口引脚。

Bit4 SPICKP: 时钟极性选择位。

1= 时钟空闲状态为高电平。

0= 时钟空闲状态为低电平。

Bit3~Bit0 SPIM<3:0>: 同步串行端口模式选择位；

0000= SPI主控模式，时钟= $F_{SYS}/4$；

0001= SPI主控模式，时钟= $F_{SYS}/16$；

0010= SPI主控模式，时钟= $F_{SYS}/64$；

0011= SPI主控模式，时钟= TMR2输出/2；

0100= SPI从动模式，时钟= SCK引脚，使能SS引脚控制；

0101= SPI从动模式，时钟= SCK引脚，禁止SS引脚控制，SS可用作I/O引脚；

其他= 保留

19.3 SPI 工作原理

当初始化 SPI 时，需要指定几个选项。可以通过对相应的控制位（SPICON<5:0>和 SPICON2<7:6>）编程来指定。这些控制位用于指定以下选项：

- 主控模式（SCK 作为时钟输出）
- 时钟极性（SCK 的空闲状态）
- 时钟速率（仅限主控模式）
- 从动选择模式（仅限于从动模式）
- 从动模式（SCK 作为时钟输入）
- 输入数据的采样相位（数据输出时间的中间或末尾）
- 时钟边沿（在 SCK 的上升沿/下降沿输出数据）

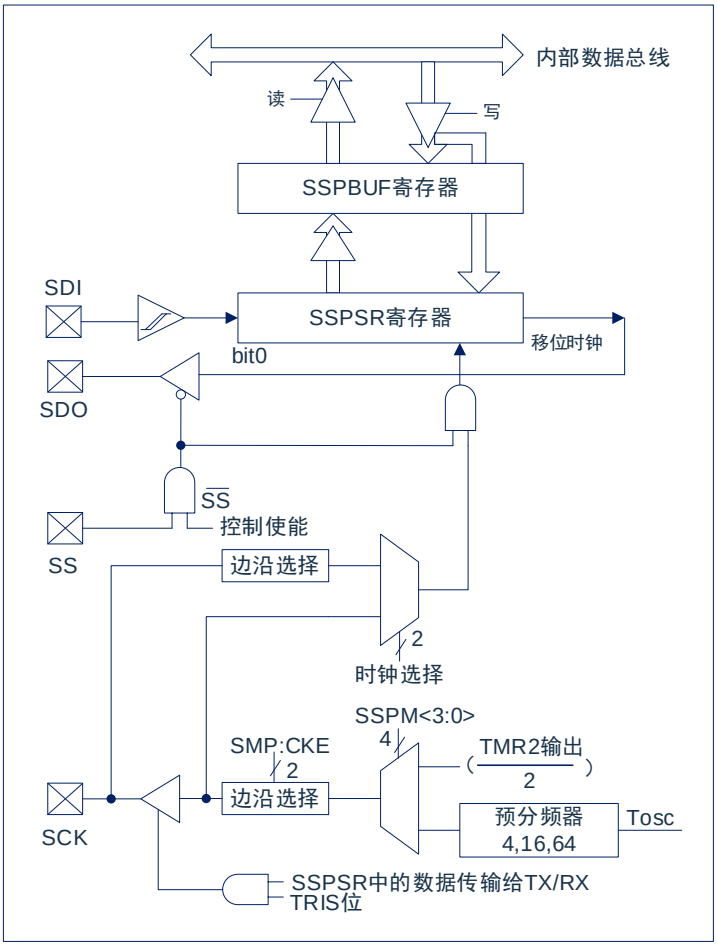


图 19-1：SPI 模块框图

注：I/O 引脚具有对 VDD 和 VSS 的二极管保护。

SPI 模块由一个发送/ 接收移位寄存器（SPISR）和一个缓冲寄存器（SPIBUF）组成。SPISR 将数据移入和移出器件，最高有效位在前。SPIBUF 保存上次写入 SPISR 的数据直到新接收到的数据就绪为止。一旦 8 位数据接收完毕，该字节就被移入 SPIBUF 寄存器。然后，PIR1 寄存器的中断标志位 SPIIF 被置 1。这种双重缓冲数据接收方式（SPIBUF）允许在读取刚接收的数据之前，就开始接收下一个字节。在数据发送/ 接收期间，任何试图写 SPIBUF 寄存器的操作都会被忽略，并将 SPICON 寄存器的写冲突检测位 SPIWCOL 置 1。此时用户必须用软件将 SPIWCOL 位清零，否则无法判别下一次对 SPIBUF 的写操作是否成功完成。

当应用软件等待接收有效数据时，应在下一个要传输的数据字节写入 SPIBUF 之前，将 SPIBUF 中的前一个数据读出。

19.4 使能 SPI I/O

要使能串行端口，SPICON 寄存器的使能位 SPIEN 必须置 1。要复位或重新配置 SPI 模式，要先将 SPIEN 位清零，重新初始化 SPICON 寄存器，然后将 SPIEN 位置 1。这将把 MOSI、MISO、SCK 和 SS 引脚配置为串行端口引脚。要将这些引脚用作串行端口，还必须将其数据方向位（在 TRIS 寄存器中）正确编程，方法如下：

- SDI 由 SPI 模块自动控制；
- 必须将 MOSI 的 TRIS 位清零(主控模式)；
- 必须将 MISO 的 TRIS 位清零(从动模式)；
- 必须将 SCK（主控模式）的 TRIS 位清零；
- 必须将 SCK（从动模式）的 TRIS 位置 1；
- 必须将 SS 的 TRIS 置 1。

对于任何不想要的串行端口功能，可通过将对应的数据方向（TRIS）寄存器设置为相反值来跳过。

19.5 主控模式

主器件控制 SCK，因此可以随时启动数据传输。主器件根据软件协议确定从器件应在何时广播数据。

在主控模式下，数据一旦写入 SPIBUF 寄存器就开始发送或接收。如果 SPI 仅作为接收器，则可以禁止 SDO 输出（将其编程设定为输入）。SPISR 寄存器按设置的时钟速率对 SDI 引脚上的信号进行连续移位输入。每个字节接收完后，都会被当作普通的接收字节装入 SPIBUF 寄存器（相应的中断和状态位置 1）。这可以在接收器应用中作为“线路活动监控（Line Activity Monitor）”模式，是很有用的。

可通过对 SPICON 寄存器的 SPICKP 位进行相应的编程来选择时钟极性。图 19-2、图 19-3、图 19-4 和图 19-5 给出了 SPI 通信的波形图，其中 MSb 被首先发送。在主控模式下，SPI 时钟速率（比特率）可由用户编程设定为下列速率之一：

- F_{SYS}/4（或 TCY）
- F_{SYS}/16（或 4.TCY）
- F_{SYS}/64（或 16.TCY）
- TIMER2 输出/2

图 19-2 为主控模式的波形图。当 SPICON2 寄存器的 CKE 位置 1 时，SDO 数据在 SCK 上出现时钟边沿前就有效。图中指出了将接收到的数据装入 SPIBUF 的时间。

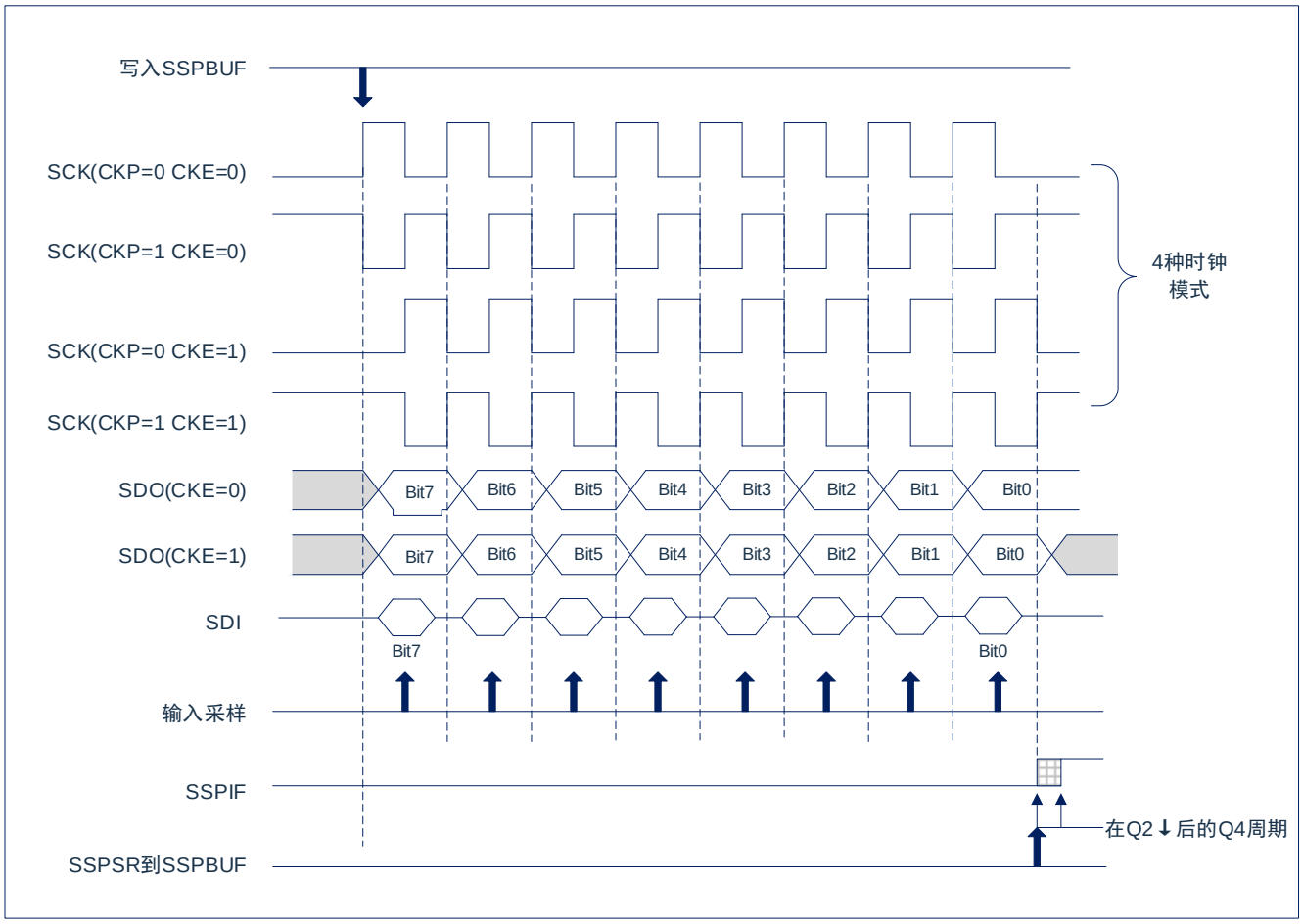


图 19-2：SPI 模式的波形（主控模式）

19.6 从动模式

在从动模式下，当 SCK 引脚上出现外部时钟脉冲时，发送和接收数据。当最后一位数据被锁存后，PIR1 寄存器的 SPIIF 中断标志位置 1。

在从动模式下，时钟由 SCK 引脚上的外部时钟源提供。外部时钟必须满足电气规范中规定的高电平和低电平的最短时间要求。

19.7 从动选择同步

SS 引脚允许器件工作在同步从动模式。SPI 必须工作在从动模式下，并使能 SS 引脚控制 SPICON<3:0> = 04h）。要使 SS 引脚用作输入引脚，不能将该引脚驱动为低电平。当 SS 引脚为低电平时，使能数据的发送和接收，同时 SDO 引脚被驱动。当 SS 引脚为高电平时，即使是在数据的发送过程中，SDO 引脚也不再被驱动，而是变成悬空输出。根据应用的需要，可外接上拉/ 下拉电阻。

当 SPI 模块复位后，位计数器被强制归 0。这可以通过强制将 SS 引脚拉为高电平或将 SPIEN 位清零来实现。将 SDO 引脚和 SDI 引脚相连可以仿真双线制通信。当 SPI 需要作为接收器工作时，SDO 引脚可以被配置为输入。这样就禁止了从 SDO 发送数据。因为 SDI 不会引起总线冲突，因而总是可以将其保留为输入（SDI 功能）。

注：
1. 当 SPI 工作在从动模式下，并且 SS 引脚控制使能（SPIxCON<3:0> = 0100）时，如果 SS 引脚置为 VDD 电平，SPI 模块将被复位。
2. 如果在 CKE 置 1（SPICON2 寄存器）的从动模式下使用 SPI，则必须使能 SS 引脚控制。

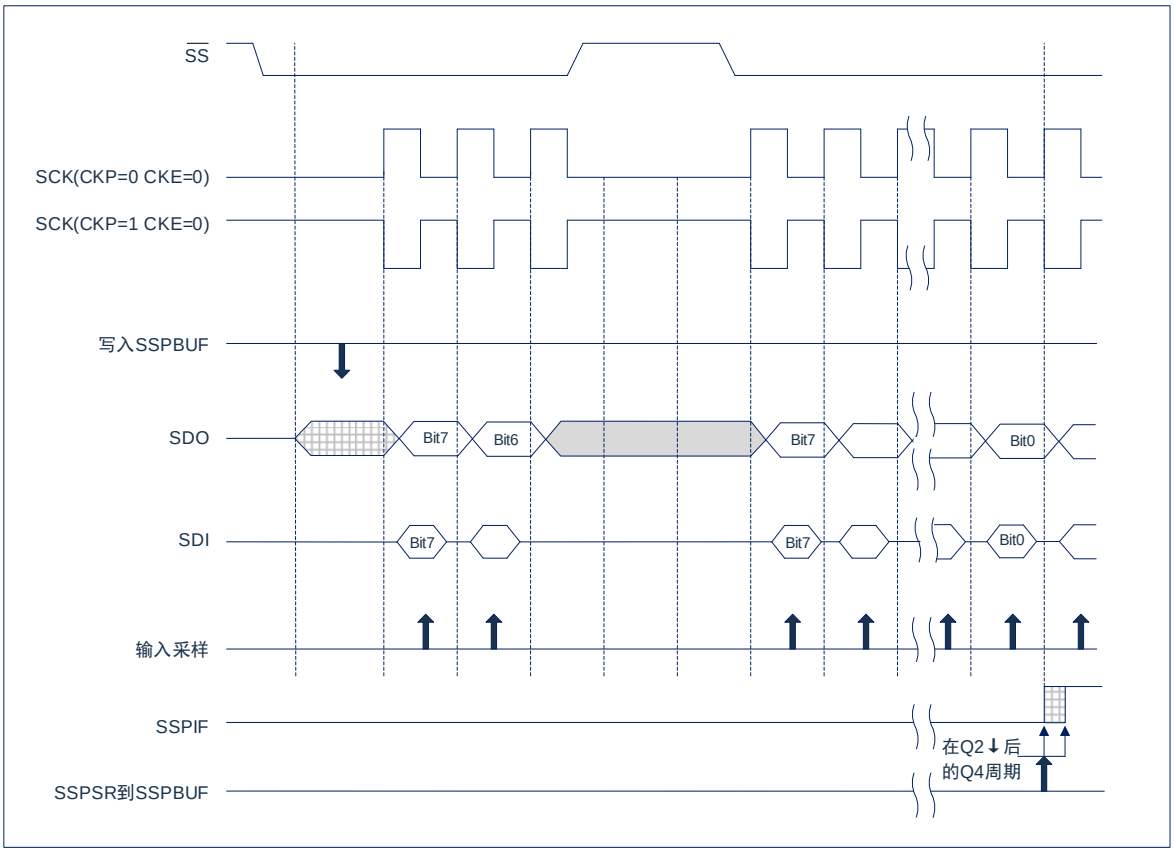


图 19-3：从动同步波形

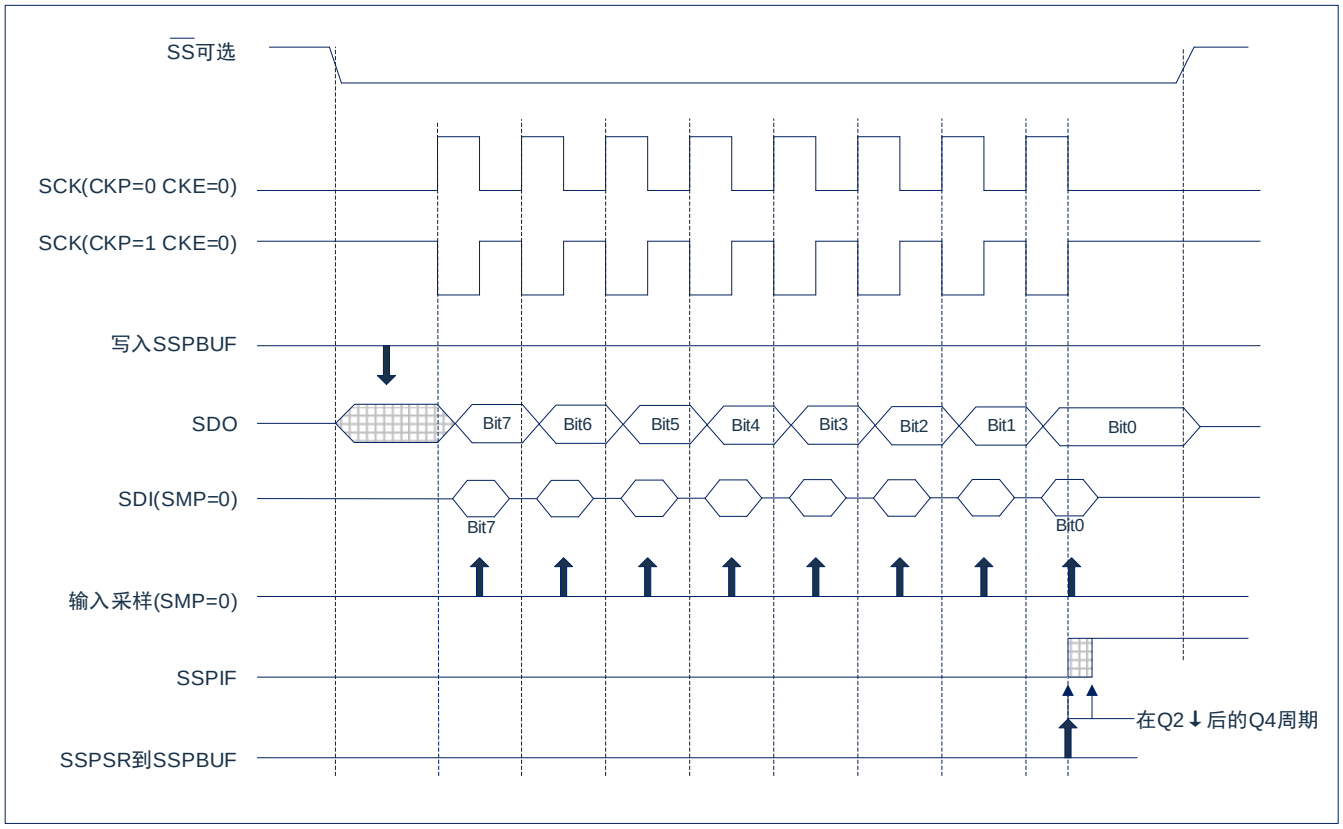


图 19-4：SPI 模式波形（从动模式，CKE=0）

19.8 休眠操作

在休眠模式，所有模块的时钟都将停止，并且在器件被唤醒前，发送/接收将保持此停滞状态。当器件返回到运行模式后，该模块将恢复发送和接收数据。

19.9 复位的影响

复位会禁止 SPI 模块并终止当前的传输。

20. I²C 模块

20.1 I²C 模块概述

IIC 模块可以实现所有的主控和从动功能（包括广播呼叫支持），并且用硬件提供起始位和停止位的中断来判断总线何时空闲（多主机功能）。IIC 模块实现了标准模式规范，以及 7 位寻址。

有两个引脚用于数据传输。它们是时钟引脚（SCL）和数据引脚（SDA）。使用 IIC 模块时，用户必须通过相应的 TRIS 位将这些引脚配置为输入引脚。

通过将 IICCON 寄存器的使能位 IICEN 置 1，使能 IIC 模块的功能。

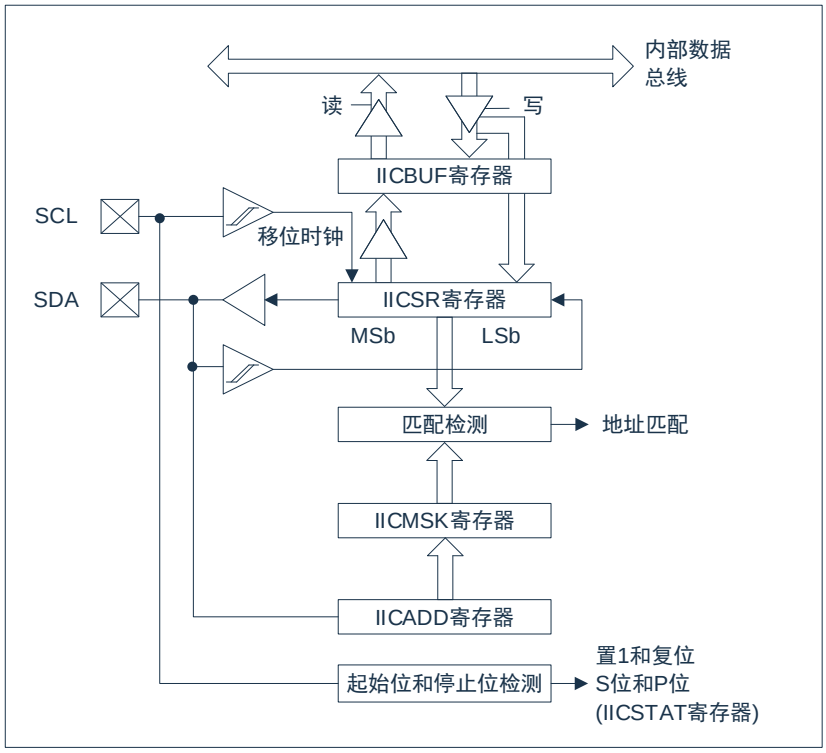


图 20-1：IIC 框图（I²C 模式）

注：I/O 引脚具有连接到 VDD 和 VSS 的保护二极管。

IIC 模块具有 7 个用于 I²C 操作的寄存器。它们是：

- IIC 控制寄存器 1（IICCON）
- IIC 状态寄存器（IICSTAT）
- IIC 移位寄存器（IICSR）：不能直接访问
- IIC 屏蔽寄存器（IICMSK）
- IIC 控制寄存器 2（IICCON2）
- 串行接收/发送缓冲寄存器（IICBUF）
- IIC 地址寄存器（IICADD）

可使用 IICCON 寄存器控制 I²C 的操作。可使用 IICM<3:0>模式选择位（IICCON 寄存器）选择以下 I²C 模式之一：

- I²C 从动模式（7 位地址）
- I²C 从动模式，7 位地址，允许起始位和停止位中断
- I²C 主控模式，时钟=F_{CPU}/(IICADD+4)

如果已将 SCL 和 SDA 引脚编程为输入引脚（将相应的 TRIS 位置 1），选择任何 I²C 模式且 IICEN 位置 1 将强制 SCL 和 SDA 引脚为漏极开路。

20.2 I2C 相关寄存器说明

IIC 状态寄存器 IICSTAT(10FH)

10FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IICSTAT	----	IDLE	D/A	P	S	R/W	IICTOF	BF
读写	----	R	R	R	R	R	W/R	R
复位值	----	0	0	0	0	0	0	0

Bit7 未用

Bit6 IDLE 主控模式空闲位
（仅主控模式有效），所有主控操作都可以通过该位来判断是否结束
1= 总线上没有主控操作
0= 总线上正在进行主控操作

Bit5 D/A 数据/地址位。
1= 表示最后接收或发送的字节是数据。
0= 表示最后接收或发送的字节是地址。

Bit4 P 停止位（禁止IIC模块（IICEN清零）时此位被清零）。
1= 表示最后检测到了停止位（复位时该位为0）。
0= 表示最后未检测到停止位。

Bit3 S 起始位（禁止IIC模块（IICEN 清零）时此位被清零）。
1= 表示最后检测到了起始位（复位时该位为0）。
0= 最后未检测到起始位。

Bit2 R/W 读/写位信息。
该位用来保存在最后一次地址匹配后的R/W位信息。该位仅在从地址匹配开始到下一个起始位、停止位或非ACK位时有效。

在I^2C从动模式下
1= 读。
0= 写。

在I^2C主控模式下
1= 正在发送。
0= 不在进行发送。
此位与SEN、RSEN、PEN、RCEN或ACKEN做逻辑或运算的结果将指示IIC是否在空闲模式下。

Bit1 IICTOF: 从动模式超时标志位
1= 发生了从动模式超时；
0= 未发生从动模式超时。

Bit0 BF 缓冲器满状态位。
接收:
1= 接收完成，IICBUF满。
0= 接收未完成，IICBUF空。
发送:
1 = 数据正在发送（不包括ACK和停止位），IICBUF满。
0 = 数据发送完成（不包括ACK和停止位），IICBUF空。

IIC 控制寄存器 IICCON(10CH)

10CH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IICCON	IICWCOL	IICOV	IICEN	IICCKP	IICTOS[1:0]		IICM1	IICM0
读写	R/W	R/W	R/W	R/W	R/W		R/W	R/W
复位值	0	0	0	0	0		0	0

Bit7 IICWCOL: 写冲突检测位。
主控模式: 1= 在I^2C不满足开始发送数据的条件下，试图对IICBUF寄存器进行写操作。
0= 未发生冲突。
从动模式:
1= 正在发送前一个字时，又对IICBUF寄存器进行写操作（必须由软件清零）。
0= 未发生冲突。

Bit6 IICOV: 接收溢出指示位。(仅在从动接收模式下有限)
1= IICBUF寄存器仍保持前一数据时，又接收到一个新的字节。在发送模式下IICOV位可为任意值（该位必须由软件清零）。
0= 没有溢出。

Bit5 IICEN: IIC使能位（必须正确配置这些引脚为输入）。
1= 使能IIC并将SDA和SCL引脚配置为串行端口引脚。
0= 禁止IIC并将这些引脚配置为I/O端口引脚。

Bit4 IICCKP: 时钟极性选择位。
在I^2C从动模式下: SCK释放控制。
1 = 使能时钟。
0 = 保持时钟线为低电平（时钟延长）（用于确保数据建立时间）。
在I^2C主控模式下: 在此模式下未使用。

Bit3~Bit2 IICTOS[1:0]: IIC从动模式超时选择
00= 禁止IIC从动超时功能；
01= 使能IIC从动超时功能，超时时间为16ms，超时后复位IIC模块；
10= 使能IIC从动超时功能，超时时间为32ms，超时后复位IIC模块；
11= 使能IIC从动超时功能，超时时间为64ms，超时后复位IIC模块；

Bit1~Bit0 IICM<1:0>: IIC模式选择位。
00= I^2C主控模式，时钟= F_{CPU}/(IICADD+4)；
01= I^2C从动模式，7位地址，不响应起始位和停止位中断；
10= I^2C从动模式，7位地址，并允许起始位和停止位中断；
11= 允许操作IICMSK寄存器

IIC 控制寄存器 IICCON2(10DH)

10DH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IICCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
读写	R/W	R/W	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

Bit7 GCEN: 广播呼叫使能位（仅限I^2C从动模式）。
1= 允许在IICSR中接收到广播呼叫地址（0000h）时产生中断。
0= 禁止广播呼叫地址。

Bit6 ACKSTAT: 应答状态位（仅限于I^2C主控模式）。
在主控发送模式下:
1 = 未接收到来自从动器件的应答。
0 = 已接收到来自从动器件的应答。

Bit5 ACKDT: 应答数据位（仅限于I^2C主控模式）。
在主控接收模式下: 用户在接收完成后发送的应答序列的值。
1 = 不应答。
0 = 应答。

Bit4 ACKEN: 应答序列使能位（仅限I^2C主控模式）。
在主控接收模式下:
1 = 在SDA和SCL引脚启动应答序列，发送ACKDT数据位。由硬件自动清零。
0 = 应答序列空闲。

Bit3 RCEN: 接收使能位（仅限I^2C主控模式）。
1= 使能I^2C接收模式。
0= 接收空闲。

Bit2 PEN: 停止条件使能位（仅限于I^2C主控模式）。
1 = 在SDA和SCL引脚启动停止条件。由硬件自动清零。
0 = 停止条件空闲。

Bit1 RSEN: 重复启动条件使能位（仅限I^2C主控模式）。
1= 在SDA和SCL引脚启动重复启动条件。由硬件自动清零。
0= 重复启动条件空闲。

Bit0 SEN: 启动条件使能位。
在主控模式下:
1 = 在SDA和SCL引脚启动启动条件。由硬件自动清零。
0 = 启动条件空闲。
在从动模式下:
1 = 从发送和接收都会使能时钟延长（使能时钟延长）。
0 = 禁止时钟延长。

20.3 主控模式

主控模式通过在检测到启动和停止条件时产生中断来工作。停止（P）位和起始（S）位在复位时或禁止 IIC 模块时清零。当 P 位置 1 时，可以取得 I²C 总线的控制权；否则总线处于空闲状态，且 P 位和 S 位都为零。

在主控模式中，SCL 线由 IIC 硬件操纵，SDA 引脚必须被配置为输入（TRISB<2>置 1）。下列事件会使 IIC 中断标志位 IICIF 置 1（如果允许 IIC 中断，则产生中断）：

- 启动条件
- 停止条件
- 数据传输字节已发送/已接收
- 应答发送
- 重复启动条件

20.3.1 I²C 主控模式支持

通过将 IICCON 中相应的 IICM 位置 1 或清零并将 IICEN 位置 1 可使能主控模式。一旦使能主控模式，用户即可选择以下 6 项操作：

1. 在 SDA 和 SCL 上发出一个启动条件。
2. 在 SDA 和 SCL 上发出一个重复启动条件。
3. 写入 IICBUF 寄存器，开始数据/ 地址的发送。
4. 在 SDA 和 SCL 上产生停止条件。
5. 将 I²C 端口配置为接收数据。
6. 在接收到数据字节后产生应答条件。

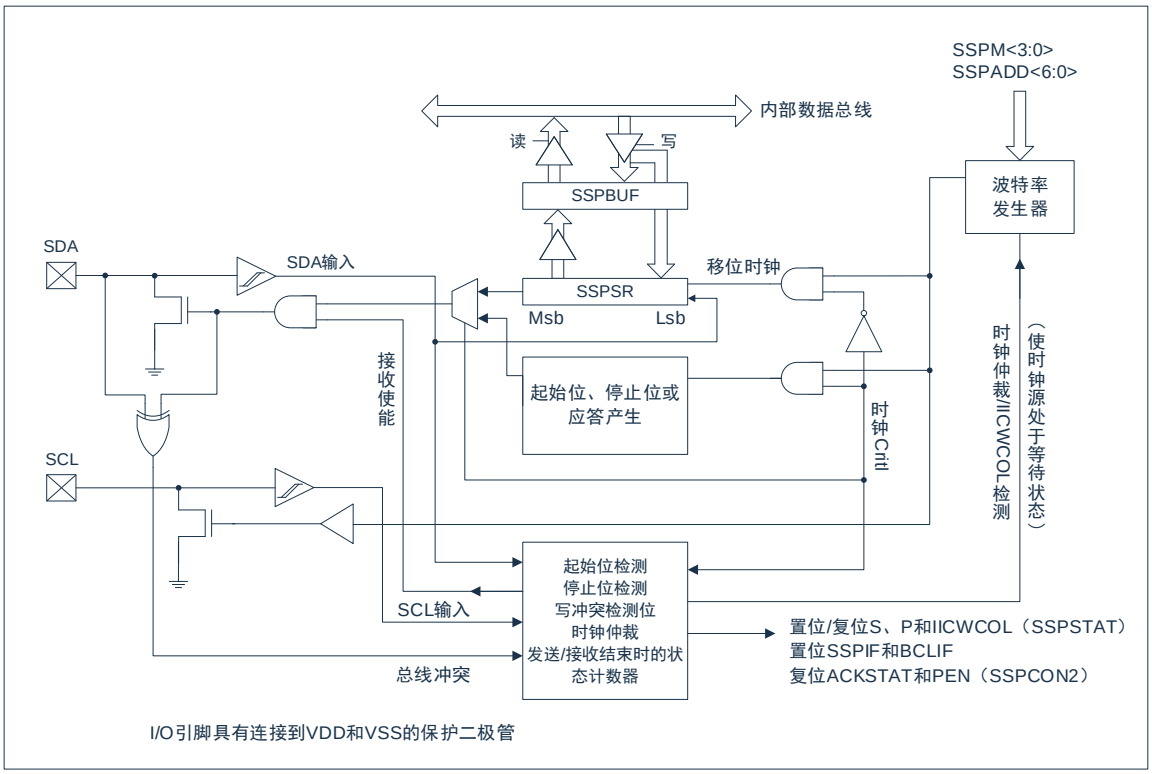


图20-2：IIC框图（I²C™主控模式）

注：当配置为 I²C 主控模式时，IIC 模块不允许事件排队。例如，在启动条件结束前，不允许用户发出另一个启动条件并立即写 IICBUF 寄存器以发起传输。这种情况下，将不会写入 IICBUF，IICWCOL 位将被置 1，这表明没有发生对 IICBUF 的写操作。

20.3.1.1 I²C 主控模式操作

所有串行时钟脉冲和启动/ 停止条件均由主器件产生。停止条件或重复启动条件能结束传输。因为重复启动条件也是下一次串行传输的开始，因此不会释放 I²C 总线。在主控发送器模式下，串行数据通过 SDA 输出，而串行时钟由 SCL 输出。发送的第一个字节包括接收器件的地址（7 位）和读/ 写（R/W）位。在这种情况下，R/W 位将是逻辑 0。串行数据每次发送 8 位。每发送一个字节，会收到一个应答位。启动和停止条件的输出表明串行传输的开始和结束。

在主控接收模式下，发送的第一个字节包括发送器件的地址（7 位）和 R/W 位。在这种情况下，R/W 位将是逻辑 1。因此，发送的第一个字节是一个 7 位从器件地址，后面跟 1 表示接收。串行数据通过 SDA 接收，而串行时钟由 SCL 输出。每次接收 8 位串行数据。每接收到一个字节，都会发送一个应答位。启动和停止条件分别表明发送的开始和结束。

在 I²C 模式下，在 SPI 模式中使用的波特率发生器被用于将 SCL 时钟频率设置为 100KHz、400KHz 或 1MHz。波特率发生器的重载值位于 IICADD 寄存器的低 7 位。当发生对 IICBUF 的写操作时，波特率发生器将自动开始计数。如果指定操作完成（即，发送的最后一个数据位后面跟着 ACK），内部时钟将自动停止计数，SCL 引脚将保持在其最后的状态。

下面是一个典型的发送事件序列：

- 用户通过将启动使能位 SEN（IICCON2 寄存器）置 1 产生启动条件。
- IICIF 位置 1。在进行任何其他操作前，IIC 模块将等待所需的启动时间。
- 用户将从器件地址装入 IICBUF 进行发送。
- 地址从 SDA 引脚移出，直到发送完所有 8 位为止。
- IIC 模块移入来自从器件的 ACK 位，并将它的值写入 IICCON2 寄存器的 ACKSTAT 位。
- IIC 模块在第 9 个时钟周期的末尾将 IICIF 位置 1，产生一个中断。
- 用户将 8 位数据装入 IICBUF。
- 数据从 SDA 引脚移出，直到发送完所有 8 位为止。
- IIC 模块移入来自从器件的 ACK 位，并将它的值写入 IICCON2 寄存器的 ACKSTAT 位。
- IIC 模块在第 9 个时钟的末尾将 IICIF 位置 1，产生一个中断。
- 用户通过将停止使能位（PEN）位（IICCON2 寄存器）置 1 产生停止条件。
- 一旦停止条件完成，将产生一个中断。

20.3.2 波特率发生器

在 I²C 主控模式下，波特率发生器的重载值位于 IICADD 寄存器的低 7 位（图 20-3）。当装载了该值后，波特率发生器将自动开始计数并递减至 0，然后停止直到下次重载为止。BRG 会在每个指令周期（TCY）中的 Q2 和 Q4 时钟周期上进行两次减计数。在 I²C 主控模式下，会自动重载 BRG。例如，在发生时钟仲裁时，BRG 将在 SCL 引脚采样到高电平时重载（图 20-4）。

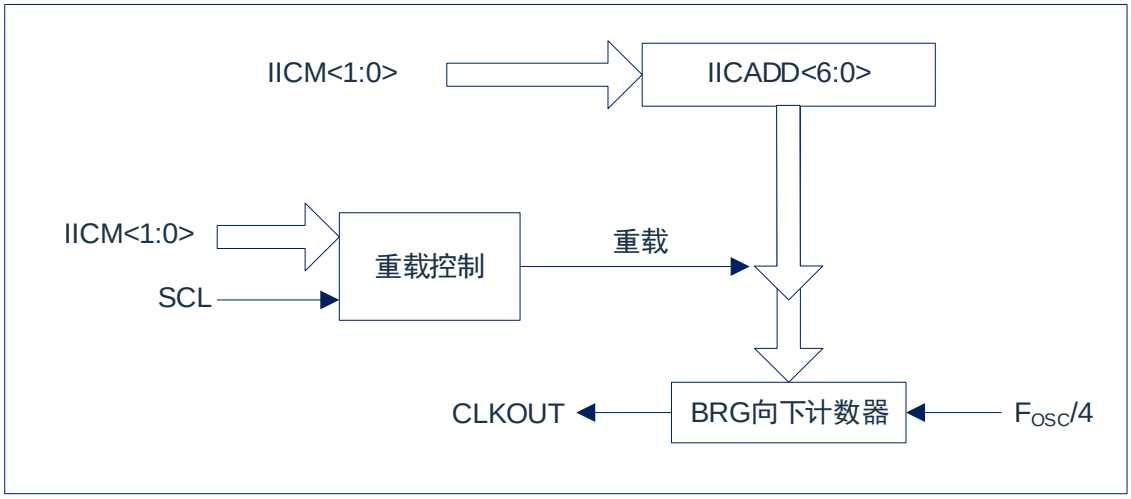


图20-3：波特率发生器框图

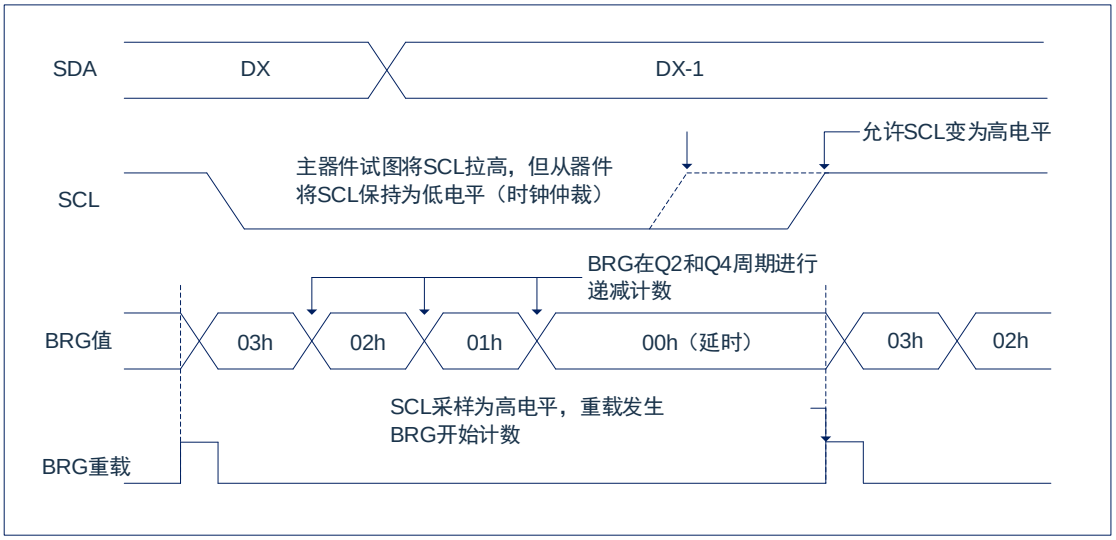


图20-4：带有时钟仲裁的波特率发生器时序

20.3.3 I²C 主控模式发送

发送一个数据字节、一个 7 位地址，都可以直接通过写一个值到 IICBUF 寄存器来实现。该操作将使缓冲器满标志位 BF 置 1，并且波特率发生器开始计数，同时启动下一次发送。在 SCL 的下降沿有效后，地址/数据的每一位将被移出至 SDA 引脚。在一个波特率发生器计满返回计数周期（T_{BRG}）内，SCL 保持低电平。数据应该在 SCL 释放为高电平前保持有效。当 SCL 引脚被释放为高电平时，它将在整个 T_{BRG} 中保持高电平状态。在此期间以及下一个 SCL 下降沿之后的一段时间内，SDA 引脚上的数据必须保持稳定。在第 8 位被移出（第 8 个时钟周期的下降沿）之后，BF 标志位清零，同时主器件释放 SDA。

此时如果发生地址匹配或是数据被正确接收，被寻址的从器件将在第 9 位的时间以一个 ACK 位响应。ACK 的状态在第 9 个时钟周期的下降沿写入 ACKDT 位。主器件接收到应答之后，应答状态位 ACKSTAT 会被清零；如果未收到应答，则该位被置 1。第 9 个时钟之后，IICIF 位会置 1，主控时钟（波特率发生器）暂停，直到下一个数据字节装入 IICBUF 为止，SCL 引脚保持低电平，SDA 保持不变。

在写 IICBUF 之后，地址的每一位在 SCL 的下降沿被移出，直至地址的所有 7 位和 R/W 位都被移出为止。在第 8 个时钟的下降沿，主器件将 SDA 引脚拉为高电平，以允许从器件发出应答响应。在第 9 个时钟的下降沿，主器件通过采样 SDA 引脚来判断地址是否被从器件识别。ACK 位的状态被装入 ACKSTAT 状态位（IICCON2 寄存器）。在发送地址的第 9 个时钟下降沿之后，IICIF 置 1，BF 标志位清零，波特率发生器关闭直到下一次写 IICBUF，且 SCL 引脚保持低电平，允许 SDA 引脚悬空。

20.3.3.1 BF 状态标志

在发送模式下，BF 位（IICSTAT 寄存器）在 CPU 写 IICBUF 时置 1，在所有 8 位数据移出后清零。

20.3.3.2 IICWCOL 状态标志位

如果用户在发送过程中（即，IICSR 仍在移出数据字节时）写 IICBUF，则 IICWCOL 置 1 且缓冲器的内容保持不变（未发生写操作）。IICWCOL 必须由软件清零。

20.3.3.3 ACKSTAT 状态标志

在发送模式下，当从器件发送应答响应（ACK= 0）时，ACKSTAT 位（IICCON2 寄存器）清零；当从器件没有应答（ACK=1）时，该位置 1。从器件在识别出其地址（包括广播呼叫地址）或正确接收数据后，会发送一个应答。

20.3.4 I²C 主控模式接收

通过编程接收使能位 RCEN（IICCON2 寄存器）使能主控模式接收。波特率发生器开始计数，每次计满返回时，SCL 引脚的状态都发生改变（由高变低或由低变高），且数据被移入 IICSR。第 8 个时钟的下降沿之后，接收使能标志位自动清零，IICSR 的内容装入 IICBUF，BF 标志位置 1，IICIF 标志位置 1，波特率发生器暂停计数，SCL 保持为低电平。此时 IIC 处于空闲状态，等待下一条命令。当 CPU 读缓冲器时，BF 标志位将自动清零。通过将应答序列使能位 ACKEN （IICCON2 寄存器）置 1，用户可以在接收结束后发送应答位。

20.3.4.1 BF 状态标志

接收时，当将地址或数据字节从 IICSR 装入 IICBUF 时，BF 位置 1；在读 IICBUF 寄存器时 BF 位清零。

20.3.4.2 IICWCOL 状态标志

如果用户在接收过程中（即 IICSR 仍在移入数据字节时）写 IICBUF，则 IICWCOL 位置 1，缓冲器内容不变（未发生写操作）。

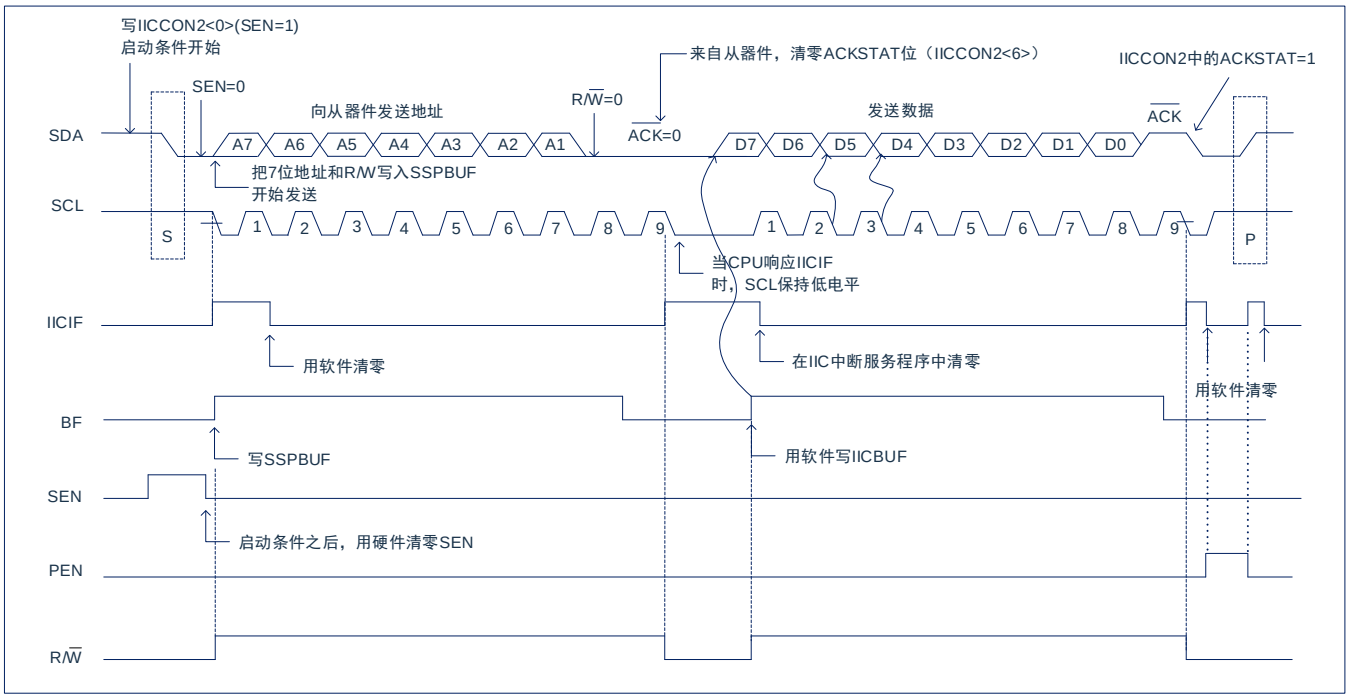


图20-5：I²C™主控模式发送时序

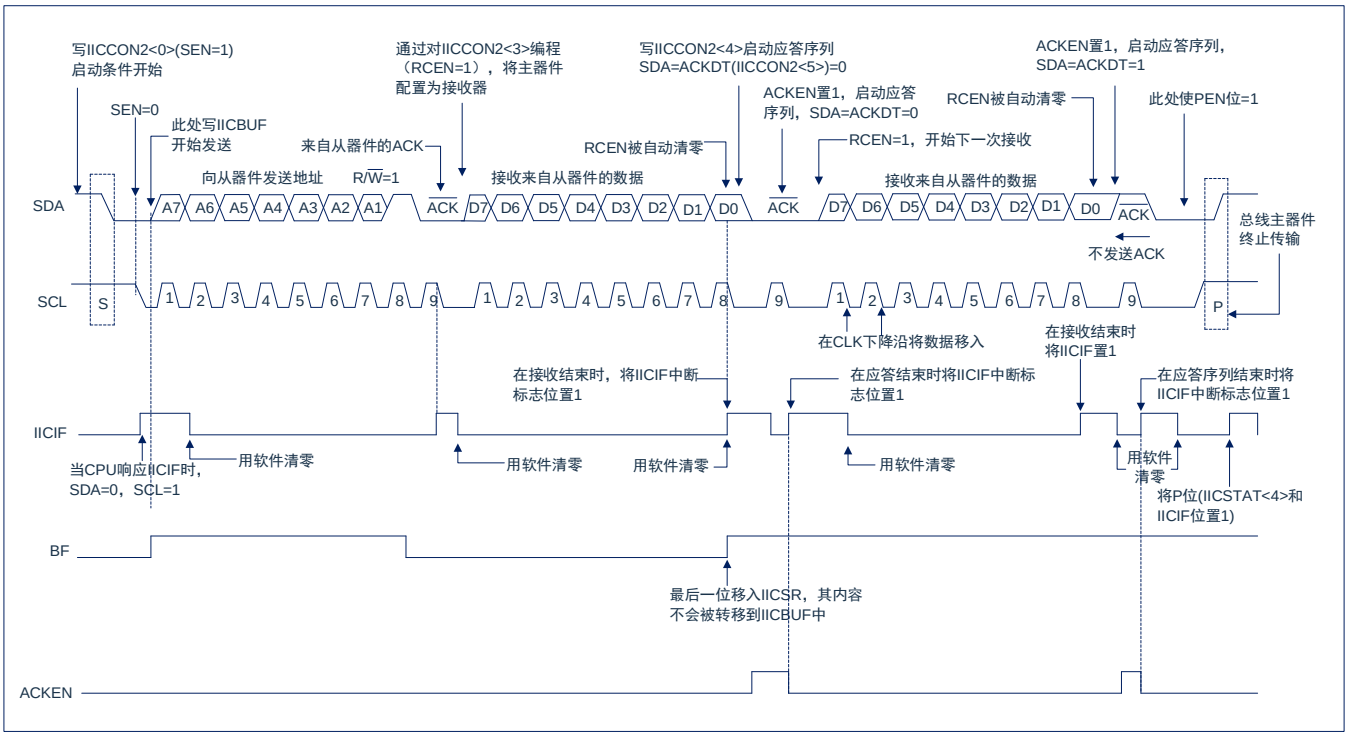


图20-6：I²C™主控模式接收时序

20.3.5 I²C 主控模式启动条件时序

要发起启动条件，用户应将 IICCON2 寄存器的启动条件使能位 SEN 置 1。当 SDA 和 SCL 引脚都采样为高电平时，波特率发生器重新装入 IICADD<6:0>的内容并开始计数。当波特率发生器发生超时（T_{BRG}）时，如果 SCL 和 SDA 都采样为高电平，则 SDA 引脚被驱动为低电平。当 SCL 为高电平时，将 SDA 驱动为低电平就是启动条件，将使 S 位（IICSTAT 寄存器）置 1。随后波特率发生器重新装入 IICADD<6:0>的内容并恢复计数。当波特率发生器超时（T_{BRG}）时，IICCON2 寄存器的 SEN 位将自动被硬件清零。波特率发生器暂停工作，SDA 线保持低电平，启动条件结束。

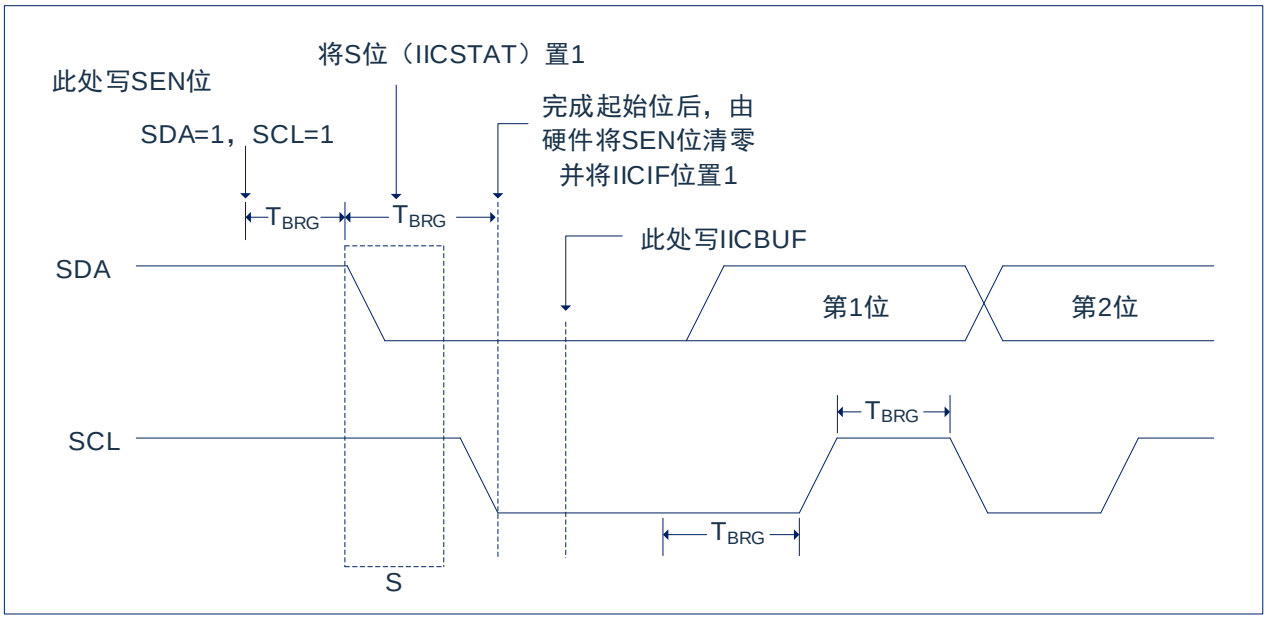


图20-7：第一个启动位时序

20.3.5.1 IICWCOL 状态标志

当启动序列进行时，如果用户写 IICBUF，则 IICWCOL 被置 1，同时缓冲器内容不变（未发生写操作）。

注：由于不允许事件排队，在启动条件结束之前，不能对 IICCON2 的低 5 位进行写操作。

20.3.6 I²C 主控模式重复启动条件时序

将 RSEN 位（IICCON2 寄存器）编程为高电平，并且 I²C 逻辑模块处于空闲状态时，就会产生重复启动条件。当 RSEN 位置 1 时，SCL 引脚被拉为低电平。当 SCL 引脚采样为低电平时，波特率发生器装入 IICADD<6:0>的内容，并开始计数。在一个波特率发生器计数周期（T_{BRG}）内 SDA 引脚被释放（其引脚电平被拉高）。当波特率发生器超时时，如果 SDA 采样为高电平，SCL 引脚将被拉高。当 SCL 引脚采样为高电平时，波特率发生器将被重新装入 IICADD<6:0>的内容并开始计数。SDA 和 SCL 必须在一个计数周期 T_{BRG} 内采样为高电平。随后将 SDA 引脚拉为低电平（SDA = 0）并保持一个计数周期 T_{BRG}，同时 SCL 为高电平。然后 RSEN 位（IICCON2 寄存器）将自动清零，波特率发生器不会重载，SDA 引脚保持低电平。一旦在 SDA 和 SCL 引脚上检测到启动条件，S 位（IICSTAT 寄存器）将被置 1。直到波特率发生器超时后，IICIF 位才会置 1。

一旦 IICIF 位被置 1，用户便可以将 7 位地址写入 IICBUF。当发送完第一个 8 位并接收到一个 ACK 后，用户可以发送 8 位数据。

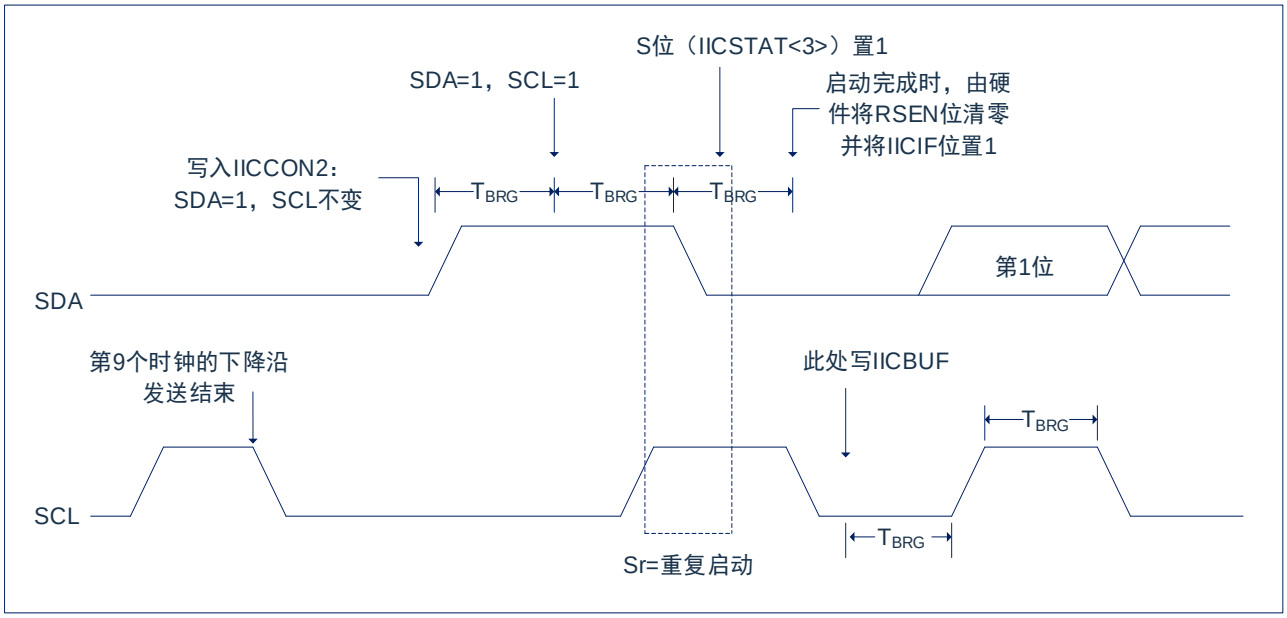


图20-8：重复启动条件时序波形

20.3.6.1 IICWCOL 状态标志

当重复启动序列进行时，如果用户写 IICBUF，则 IICWCOL 被置 1，同时缓冲器内容不变（未发生写操作）。

注：由于不允许事件排队，在重复启动条件结束之前，不能对IICCON2的低5位进行写操作。

20.3.7 应答序列时序

将应答序列使能位 ACKEN（IICCON2 寄存器）置 1 即可使能应答序列。当该位被置 1 时，SCL 引脚被拉低，应答数据位的内容出现在 SDA 引脚上。如果用户希望产生一个应答，则应该将 ACKDT 位清零；否则，用户应该在应答序列开始前将 ACKDT 位置 1。然后波特率发生器进行一个计满返回周期（T_{BRG}）的计数，随后 SCL 引脚电平被拉高。当 SCL 引脚采样为高电平时（时钟仲裁），波特率发生器再进行一个 T_{BRG} 周期的计数。然后 SCL 引脚被拉低。在这之后，ACKEN 位自动清零，波特率发生器关闭，IIC 模块进入空闲模式。

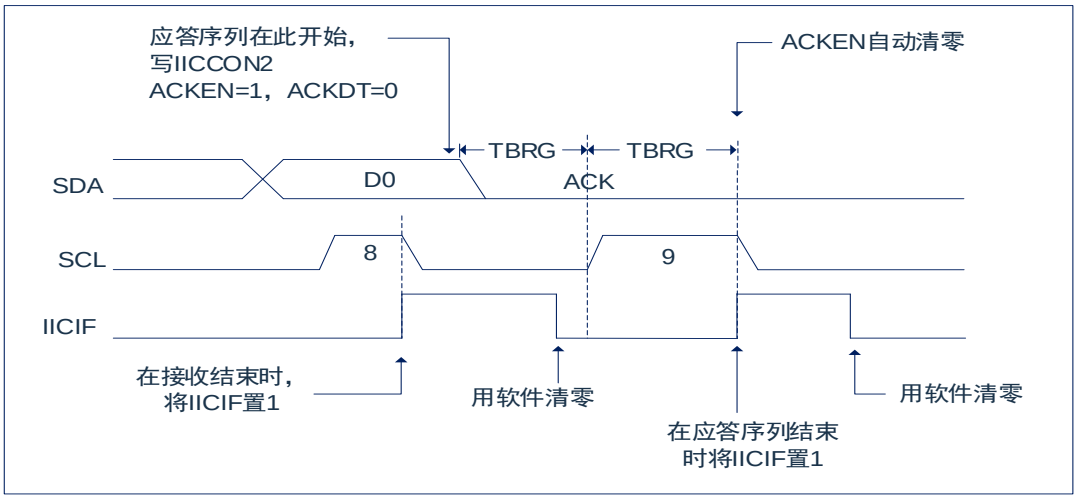


图 20-9：应答序列时序波形

注：T_{BRG}=一个波特率发生器周期。

20.3.7.1 IICWCOL 状态标志位

如果用户在应答序列正在进行时写 IICBUF，IICWCOL 将被置 1 且缓冲器的内容保持不变（未发生写操作）。

20.3.8 停止条件序列

在接收/发送结束时，通过置 1 停止序列的使能位，PEN（IICCON2 寄存器），SDA 引脚将产生一个停止位。在接收/发送结束时，SCL 引脚在第 9 个时钟的下降沿后保持低电平。当 PEN 位置 1 时，主控器件将 SDA 置为低电平。当 SDA 线采样为低电平时，波特率发生器被重新装入值并递减计数至 0。波特率发生器发生超时时，SCL 引脚被拉到高电平，且一个 T_{BRG}（波特率发生器计满回零）后，SDA 引脚被重新拉到高电平。当 SDA 引脚采样为高电平且 SCL 也是高电平时，P 位（IICSTAT 寄存器）置 1。一个 T_{BRG} 周期后，PEN 位清零且 IICIF 位置 1。

20.3.8.1 IICWCOL 状态标志

如果用户在停止序列进行过程中试图写 IICBUF，则 IICWCOL 位将置 1，缓冲器的内容不会改变（未发生写操作）。

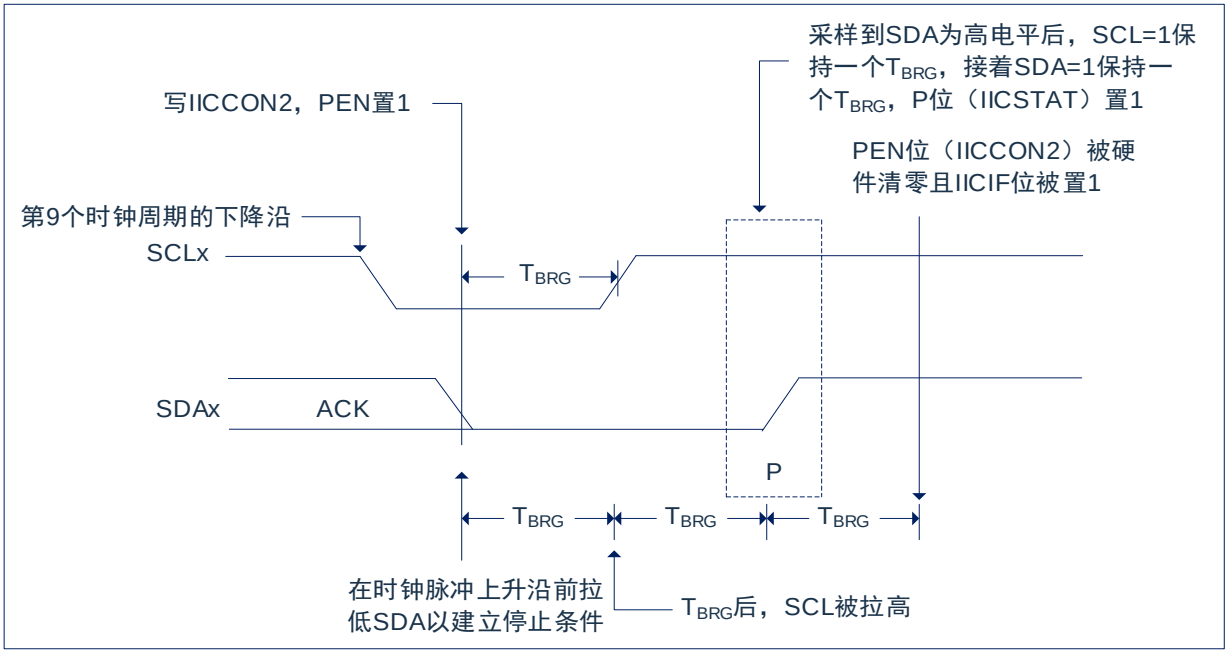


图 20-10：停止条件接收或发送模式

注：T_{BRG}=一个波特率发生器周期。

20.3.9 时钟仲裁

如果在任何接收、发送或重复启动/ 停止条件期间，主器件拉高了 SCL 引脚（允许 SCL 引脚悬空为高电平），就会发生时钟仲裁。如果允许 SCL 引脚悬空为高电平，波特率发生器（BRG）将暂停计数，直到实际采样到 SCL 引脚为高电平为止。当 SCL 引脚采样为高电平时，波特率发生器中将被重新装入 IICADD<6:0>的内容并开始计数。这可以保证当外部器件将时钟拉低时，SCL 始终保持至少一个 BRG 计满返回周期的高电平。

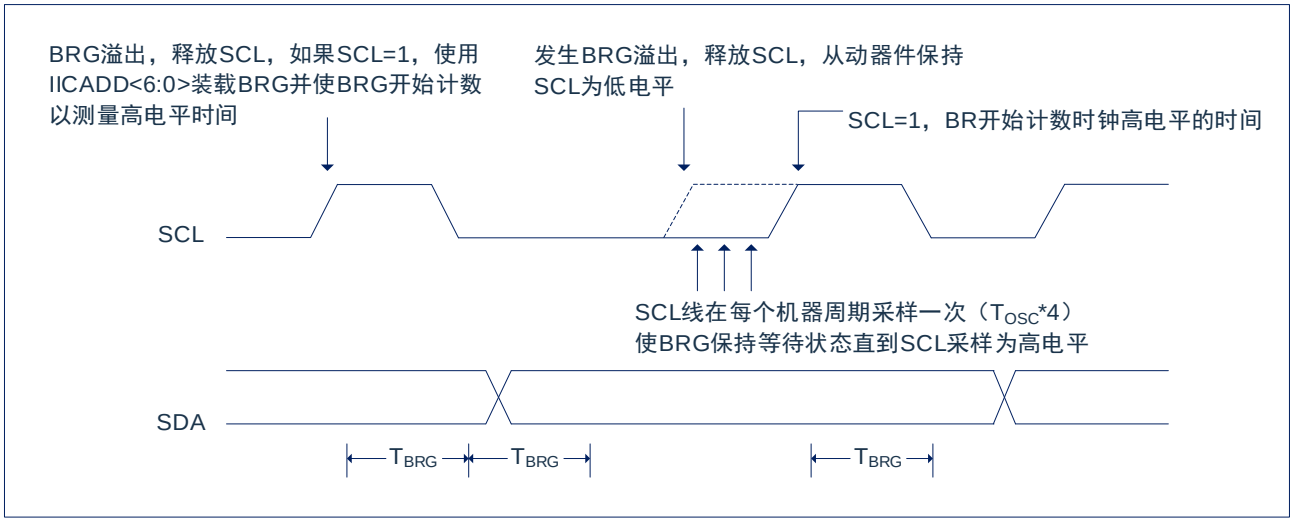


图 20-11：主控发送模式下的时钟仲裁时序

20.3.10 多主机模式

在多主机模式下，通过在检测到启动和停止条件时产生中断可以确定总线何时空闲。停止（P）位和启动（S）位在复位时或禁止 IIC 模块时清零。当 P 位置 1 时，可以取得 I²C 总线的控制权；否则总线处于空闲状态，且 P 位和 S 位清零。当总线忙时，如果出现停止条件，则将产生中断（若允许 IIC 中断）。

在多主机模式下工作时，必须监视 SDA 线来进行仲裁，查看信号电平是否为期望的输出电平。此检查由硬件完成，其结果放在 BCLIF 位。

在以下状态下仲裁可能失败：

- 地址传输
- 启动条件
- 应答条件
- 数据传输
- 重复启动条件

20.3.11 多主机通信、总线冲突与总线仲裁

多主机模式是通过总线仲裁来支持的。当主器件将地址/ 数据位输出到 SDA 引脚时，如果一个主器件通过将 SDA 引脚悬空为高电平以在 SDA 上输出 1，而另一个主器件输出 0，就会发生总线仲裁。如果 SDA 引脚上期望的数据是 1，而实际在 SDA 引脚上采样到的数据是 0，则发生了总线冲突。主器件将把总线冲突中断标志位 BCLIF 置 1，并将 I^2C 端口复位到空闲状态。

如果在发送过程中发生总线冲突，则发送停止，BF 标志位清零，SDA 和 SCL 线被拉高，并且允许对 IICBUF 进行写操作。当执行完总线冲突中断服务程序后，如果 I^2C 总线空闲，用户可通过发出启动条件恢复通信。如果在启动、重复启动、停止或应答条件的进行过程中发生总线冲突，则该条件被中止，SDA 和 SCL 线被拉高，IICCON2 寄存器中的对应控制位清零。当执行完总线冲突中断服务程序后，如果 I^2C 总线空闲，用户可通过发出启动条件恢复通信。主器件将继续监视 SDA 和 SCL 引脚。如果出现停止条件，IICIF 位将被置 1。无论发生总线冲突时发送的进度如何，写 IICBUF 都会从第一个数据位开始发送数据。

在多主机模式下，通过在检测到启动和停止条件时产生中断可以确定总线何时空闲。P 位置 1 时，可以获取 I^2C 总线的控制权，否则总线空闲且 S 和 P 位清零。

20.4 从动模式

在从动模式下，SCL 引脚和 SDA 引脚必须被配置为输入。需要时（如从发送器）IIC 模块将用输出数据改写输入状态。

当地址匹配时或在地址匹配后传输的数据被接收时，硬件会自动产生一个应答（ACK）脉冲，并把当时 IICSR 寄存器中接收到的数据装入 IICBUF 寄存器。

只要满足下列条件之一，IIC 模块就不会产生此 ACK 脉冲：

- 缓冲器满标志位 BF（IICCON 寄存器）在接收到传输的数据前置 1。
- 在接收到传输的数据之前，溢出标志位 IICOV（IICCON 寄存器）已被置 1。

在这种情况下，IICSR 寄存器的值不会载入 IICBUF，但是 PIR1 寄存器的 IICIF 位会置 1。BF 位是通过读取 IICBUF 寄存器清零的，而 IICOV 位是通过软件清零的。

为确保正常工作，SCL 时钟输入必须满足最小高电平时间和最小低电平时间要求。

20.4.1 寻址

一旦使能了 IIC 模块，它就会等待启动条件产生。在启动条件出现后，8 位数据被移入 IICSR 寄存器。在时钟（SCL）线的上升沿采样所有的输入位。寄存器 IICSR<7:1>的值会和 IICADD 寄存器的值比较，该比较是在第 8 个时钟脉冲（SCL）的下降沿进行的。如果地址匹配，并且 BF 位和 IICOV 位为零，会发生下列事件：

- IICSR 寄存器的值被装入 IICBUF 寄存器。
- 缓冲器满标志位 BF 置 1。
- 产生 ACK 脉冲。
- 在第 9 个 SCL 脉冲的下降沿，PIR1 寄存器的 IIC 中断标志位 IICIF 置 1（如果允许中断则产生中断）。

20.4.2 接收

当地址字节的 R/W 位清零并发生地址匹配时，IICSTAT 寄存器的 R/W 位清零。接收到的地址被装入 IICBUF 寄存器。

当存在地址字节溢出条件时，则不会产生应答脉冲(ACK)。溢出条件是指 BF 位（IICSTAT 寄存器）置 1，或者 IICOV 位（IICCON 寄存器）置 1。每个数据传输字节都会产生一个 IIC 中断。必须用软件将 PIR1 寄存器的中断标志位 IICIF 清零。IICSTAT 寄存器用于确定该字节的状态。

20.4.3 发送

当接收的地址字节的 R/W 位置 1 并发生地址匹配时，IICSTAT 寄存器的 R/W 位置 1。接收到的地址被装入 IICBUF 寄存器。ACK 脉冲在第 9 位上发送，同时 SDA 引脚保持低电平。传输的数据必须装入 IICBUF 寄存器，同时也被装入 IICSR 寄存器。随后应通过将 IICCKP 位（IICCON 寄存器）置 1 使能 SCL 引脚。在发送另一个时钟脉冲前，主控器件必须监视 SCL 引脚。从动器件可以通过延长时钟，暂停与主控器件的数据传输。8 个数据位在 SCL 输入的下降沿移出。这可确保在 SCL 为高电平期间 SDA 信号是有效的。

每个数据传输字节都会产生一个 IIC 中断。IICIF 标志位必须由软件清零，IICSTAT 寄存器用于确定字节的状态。IICIF 位在第 9 个时钟脉冲的下降沿被置 1。来自主接收器的 ACK 脉冲将在 SCL 输入第 9 个脉冲的上升沿锁存。如果 SDA 线为高电平（无 ACK），那么表示数据传输已完成。在这种情况下，如果从器件锁存了 ACK，将复位从动逻辑（复位 IICSTAT 寄存器），同时从器件监视下一个起始位的出现。如果 SDA 线为低电平（ACK），则必须将接下去要发送的数据装入 IICBUF 寄存器，这也将装载 IICSR 寄存器。应将 IICCKP 置 1 使能 SCL。

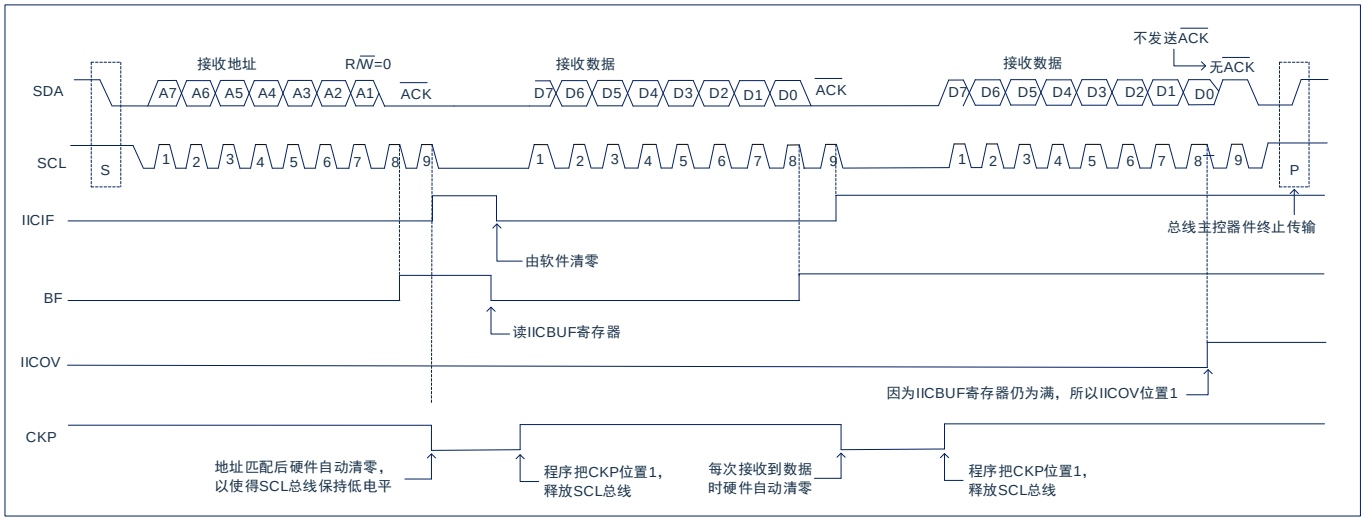


图 20-12：I²C™ 从动模式接收时序

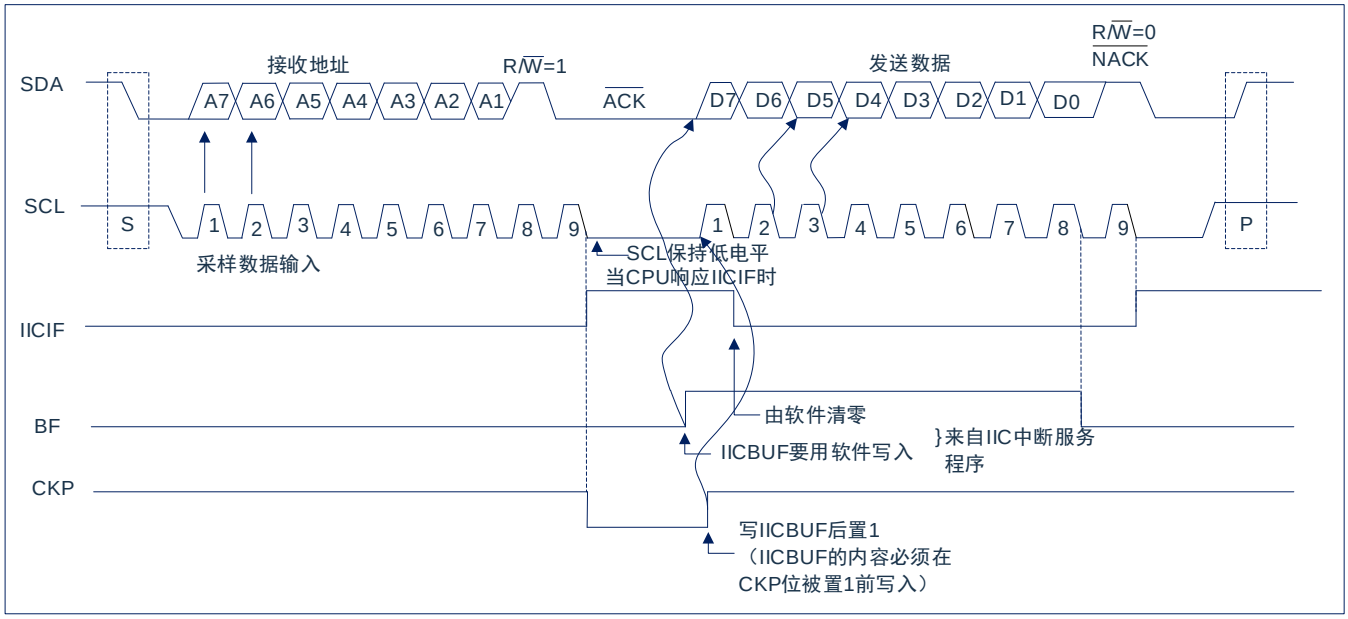


图 20-13：I²C™ 从动模式发送时序

20.4.4 I2C 屏蔽寄存器

在 I²C 从动模式下，IIC 屏蔽（IICMSK）寄存器用于在地址比较操作下屏蔽 IICSR 寄存器中的值。IICMSK 寄存器中某位为 0 会使 IICSR 寄存器中相应的位成为“无关位”。

此寄存器在任何复位条件发生时均复位为全 1，因此，在写入屏蔽值前，它对标准 IIC 操作没有影响。必须在通过设置 IICM<1:0>位以选择 I²C 从动模式之前对此寄存器进行初始化。只有通过 IICCON 的 IICM<1:0>位选择了适当的模式后才可访问此寄存器。

IIC 屏蔽寄存器在以下情况下有效：

- 7 位地址模式：与 A<7:1>进行地址比较。

IIC 屏蔽在接收到地址的第一个（高）字节期间无效。

IICMSK:IIC 屏蔽寄存器(109H) (1)

109H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IICMSK	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	---
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	---
复位值	1	1	1	1	1	1	1	---

Bit7~Bit1 MSK<7:1>: 屏蔽位。
1= 接收到的地址的Bit n 与IICADD<n>比较以检测I²C的地址匹配情况。
0= 接收到的地址的Bit n 不用于检测I²C的地址匹配情况。

Bit 0 未用

注：
1. 当IICCON位IICM<3:0> = 1001时，任何对IICADDSFR地址的读或写操作都通过IICMSK寄存进行。
2. 在所有其他 IIC 模式下，此位无效。

20.4.5 I2C 从动超时保护

在从动模式下，可以开启超时保护功能。超时计数器在地址匹配后开始起作用，在 SCL 下降沿清零，当下一个 SCL 下降沿来的时候，若计数时钟超过 IICTOS 设定的时间，则触发超时保护功能，此时自动复位 IIC 从动接收模块，总线恢复空闲状态，同时 IICTOF 标志位置 1（通过软件清零）。

20.5 休眠模式下的操作

在休眠模式下，I^2C 模块无法使用。

20.6 复位的影响

复位会禁止 I^2C 模块并终止当前的传输。

21. 触摸按键

21.1 触摸按键模块概述

触摸检测模块是为实现人体触摸接口而设计的集成电路。可替代机械式轻触按键，实现防水防尘、密封隔离、坚固美观的操作接口。

技术参数：

- 1-8 个按键可选
- 灵敏度可通过外接电容调节
- 有效触摸反应时间<100ms

芯片使用 16Bit 高精度的 CDC（数字电容转换器）、IC 检测感应盘（电容传感器）上的电容变化来识别人手指的触摸动作。

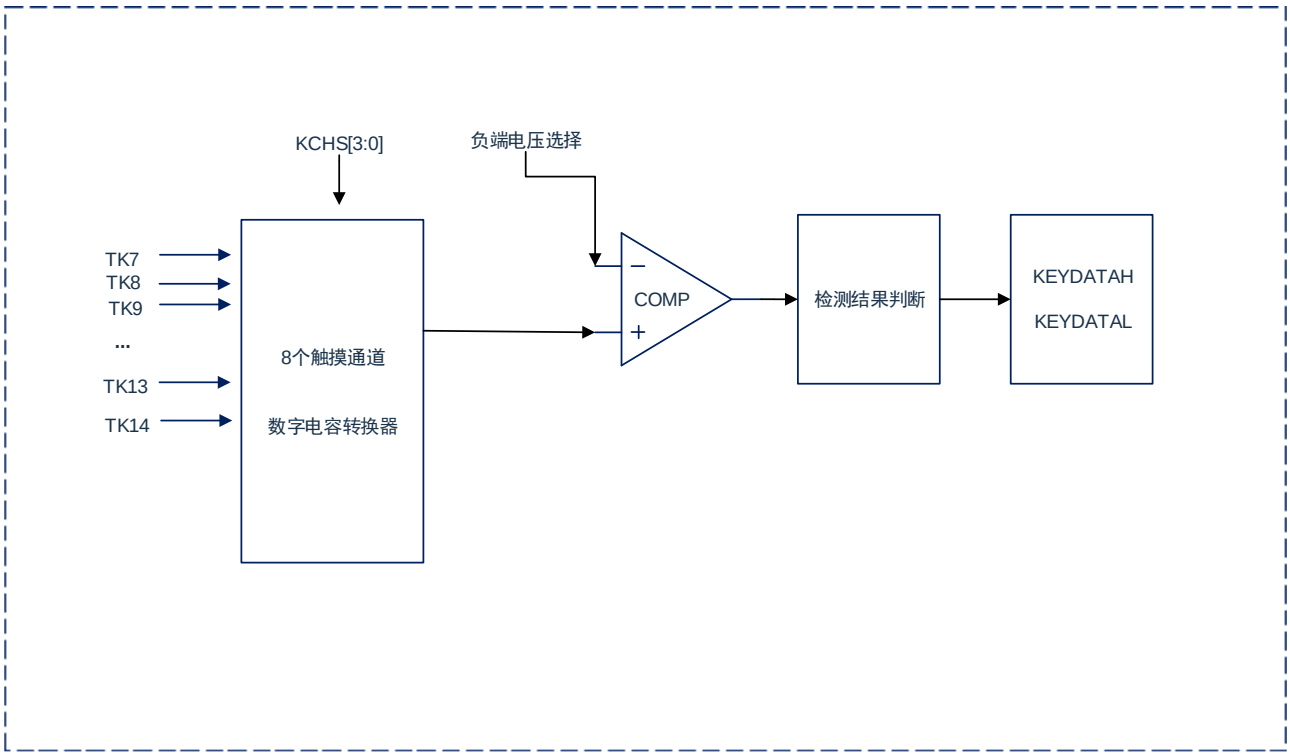


图21-1：内部电路框图

21.2 与触摸按键相关的寄存器

有 5 个寄存器与触摸按键相关，分别是触摸控制寄存器 KEYCON0、KEYCON1，KEYCON2，触摸按键结果寄存器 KEYDATL、KEYDATH。

触摸按键结果寄存器 KEYDATL(94H)

94H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
KEYDATL								
R/W	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

触摸按键结果寄存器 KEYDATH(95H)

95H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
KEYDATH								
R/W	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	0

KEYDATH 和 KEYDATL 是触摸按键结果寄存器，是只读寄存器，当完成触摸检测后可从 KEYDATH 和 KEYDAL 读取检测结果。

触摸按键控制寄存器 KEYCON0(92H)

92H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
KEYCON0	KDONE	----	CAPK[2:0]			KTOUT	KCAP	KEN
R/W	R	----	R/W	R/W	R/W	R	R/W	R/W
复位值	0	----	0	0	0	0	0	0

Bit7 KDONE: 触摸按键检测结束标志位；
0= 转换未结束；
1= 转换结束。
Bit6 保留
Bit5~Bit3 CAPK[2:0]: 按键口内部并联电容选择（C≈0.4Pf）；
000= 按键口不并联电容；
001= 按键口并联一个 C×1 的电容；
010= 按键口并联一个 C×2 的电容；
011= 按键口并联一个 C×3 的电容；
100= 按键口并联一个 C×4 的电容；
101= 按键口并联一个 C×5 的电容；
110= 按键口并联一个 C×6 的电容；
111= 按键口并联一个 C×7 的电容。
Bit2 KTOUT: 按键结果计数器溢出标志位；
0= 没有溢出；
1= 有溢出。
Bit1 KCAP: 触摸电容使能位（RB6 管脚）；
0= 禁止；
1= 使能。
Bit0 KEN: 触摸检测启动位；
0= 停止触摸检测，当该位为 0 时，KEYDATH 和 KEYDATL 寄存器会自动清零；
1= 开始触摸检测，检测过程中须保持为 1。

触摸按键控制寄存器 KEYCON1(93H)

93H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
KEYCON1	KVREF[1:0]		KCLK[1:0]		KCHS[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit7~Bit6 KVREF: 触摸按键内部比较器负端电压选择；
00= 0.4*V_{LDO}；
01= 0.5* V_{LDO}；
10= 0.6 *V_{LDO}；
11= 0.7 *V_{LDO}。
Bit5~Bit4 KCLK: 触摸按键时钟 F_{TKDIV} 分频选择；
00= F_{TKDIV}=F_{HSI}；
01= F_{TKDIV}=F_{HSI}/2；
10= F_{TKDIV}=F_{HSI}/4；
11= F_{TKDIV}=F_{HSI}/8。
Bit3~Bit0 KCHS[3:0]: 检测通道选择
0000~0110: 保留
0111: 选择 TK7 通道；
1000: 选择 TK8 通道；
1001: 选择 TK9 通道；
… …
1101 选择 TK13 通道；
1110: 选择 TK14 通道；
其余: 保留

触摸按键控制寄存器 KEYCON2(97H)

97H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
KEYCON2	CAP_LVBO[2:0]			----	----	----	----	TKEN
R/W	R/W	R/W	R/W	----	----	----	----	R/W
复位值	0	0	0	----	----	----	----	0

Bit7~Bit5 CAP_LVBO[2:0] 结束标志的数字滤波时间选择(T_{TKDIV}=1/ F_{TKDIV})。
000= 滤波 1*T_{TKDIV}
001= 滤波 2* T_{TKDIV}
010= 滤波 3* T_{TKDIV}
011= 滤波 4* T_{TKDIV}
100= 滤波 5* T_{TKDIV}
101= 滤波 6* T_{TKDIV}
110= 滤波 7* T_{TKDIV}
111= 滤波 8* T_{TKDIV}
Bit4~Bit1 保留 需写 0
Bit0 TKEN 触摸模块总使能位。
0: 触摸模块未使能。
1: 触摸模块使能。

21.3 触摸按键模块应用

21.3.1 用查询模式读取“按键数据值”流程

1. 设置相应 IO 口（包括按键口和灵敏度调节电容口）为输入口；
2. 设置 KEYCON2 寄存器 TKEN 位为 1；
3. 设置按键控制寄存器 KEYCON1（包括通道选择、触摸按键检测时钟设置、比较器正端电压设置）；
4. 设置 KEYCON2 寄存器（包括数字滤波选择，跳频选择）；
5. 设置 KEYCON1 寄存器（包括触摸按键时钟源选择等）
6. 设置按键控制寄存器 KEYCON0（使能触摸电容口，设置按键口是否需要并联电容）；
7. KEYCON0.0 位 KEN 从 0 到 1 变化，开始检测按键；
8. 判断按键结束标志 KEYCON0.7 位 KDONE 是否为 1；
9. 读取 16 位数据；
10. 结束检测按键：KEN=0；
11. 返回第 3 步继续检测下一个按键。

例：查询模式的触摸按键键值(KEY0)检测程序

```
KEY_START：
        LDIA    00H
        LD      INTCON，A       ;中断关闭
        LDIA    B’00000001’
        LD      TRISA，A        ;设置 RA0 口为按键检测口
        LDIA    B’01000000’     ;设置 RB6 口为灵敏度电容口
        LD      TRISB，A
        SETB    KEYCON2，0      ;设置触摸模块使能位有效
        LDIA    B’01010000’
        LD      KEYCON1，A      ;设置比较器负端电压、触摸检测时钟、通道
        LDIA    02H
        LD      KEYCON0，A      ;设置检测通道、分频比、比较器电压
        SETB    KEYCON0，0      ;开始检测
    WAIT：
        SNZB    KEYCON0，7      ;等待检测结束
        JP      WAIT
        LD      A，KEYDATH
        LD      R01，A          ;保存高 8 位结果到用户自定义 RAM 里面
        LD      A，KEYDATL
        LD      R02，A          ;保存低 8 位结果到用户自定义 RAM 里面
        CLRB    KEYCON0，0      ;结束检测
        JP      XXXX            ;转到其它程序
```

21.3.2 判断按键方法

- 判断基础：无键按下---“数据”大；有键按下---“数据”小；
- 当前的值比以前的值小到一定程度，可认为“有键”；
- 在一定时间内，“数据”由大到小变化认为有键，按下。

例：判断有无按键举例

```
K_START:
        LD      A，KOLDH        ;开始判断，先判断高位
        SUBA    KDATAH          ;将新的键值减去旧的键值
        SZB     STATUS，Z
        JP      K_H_SAME        ;高位相等，判断低位
        SZB     STATUS，C
        JP      KNO             ;新值高位比旧值高位大没有按键
        SUBIA   01H
        SNZB    STATUS，C
        JP      KHAVE           ;新值高位比旧值高位小，并且小的值大于等于 2，有键
        LD      A，KDATAL
        SUBA    KOLDL
        SZB     STATUS，C
        JP      KHAVE           ;高位比旧值小 1，低位也小则有键
        SUBIA   0AH
        SZB     STATUS，C
        JP      KHAVE           ;总体比旧值小超过 10 认为有键
        JP      KNO             ;总体比旧值小不超过 10 认为没有键
K_H_SAME：
        LD      A，KDATAL
        SUBA    KOLDL
        SNZB    STATUS，C
        JP      K_NO            ;高位相等，低位比旧的值大没有按键
        SUBIA   0AH
        SZB     STATUS，C
        JP      KNO             ;新值比旧值小 10 个以上才认为有按键
KHAVE：                         ;有按键程序
        ...
        JP      XXXX            ;处理完有按键程序跳转
KNO:                            ;没有按键的处理程序
        ...
        JP      XXXX            ;处理完没有按键程序跳转
```

其中 KOLDH、KOLDL 存放检测到的旧值，KDATAH、KDATAL 存放检测到的新值，这里设定新值比旧值小 10 个值以上才认为有按键，实际应用中应根据具体情况设置该值。

21.4 触摸模块使用注意事项

- 触摸按键检测部分的地线应该单独连接成一个独立的地，再有一个点连接到整机的共地。
- 避免高压、大电流、高频操作的主板与触摸电路板上下重迭安置。如无法避免，应尽量远离高压大电流的期间区域或在主板上加屏蔽。
- 感应盘到触摸芯片的连线尽量短和细，如果 PCB 工艺允许尽量采用 0.1mm 的线宽。
- 感应盘到触摸芯片的连线不要跨越强干扰、高频的信号线。
- 感应盘到触摸芯片的连线周围 0.5mm 不要走其它信号线。

22. 电气参数

22.1 极限参数

电源供应电压……GND-0.3V~GND+6V
存储温度……-50℃~125℃
工作温度……-40℃~85℃
端口输入电压……GND-0.3V~VDD+0.3V
所有端口最大灌电流……200mA
所有端口最大拉电流……-150mA

注：如果器件工作条件超过上述“极限参数”，可能会对器件造成永久性损坏。上述值仅为运行条件极大值，我们不建议器件在该规范规定的范围以外运行。器件长时间工作在极限值条件下，其稳定性会受到影响。

22.2 直流电气特性

（T_A= 25℃，除非另有说明）

符号	参数	测试条件		最小值	典型值	最大值	单位
		V_{DD}	条件				
VDD	工作电压	-	F_{SYS}=16MHz/2T	V_{LVR3}		5.5	V
		-	F_{SYS}=16MHz/4T or F_{SYS}=8MHz/2T	V_{LVR2}		5.5	V
		-	F_{SYS}=8MHz/4T	V_{LVR1}		5.5	V
I_{DD}	工作电流	5V	F_{SYS}=16MHz		3		mA
		3V	F_{SYS}=16MHz		2		mA
		5V	F_{SYS}=8MHz		2		mA
		3V	F_{SYS}=8MHz		1		mA
		5V	烧写程序 EEPROM		6		mA
I_{STB}	静态电流	5V	LVR=DIS WDT=DIS	-	0.5	5	uA
		3V	LVR=DIS WDT=DIS	-	0.4	3	uA
		5V	LVR=DIS WDT=EN		4.5		uA
		3V	LVR=DIS WDT=EN		3.5		uA
		5V	LVR=EN WDT=DIS		9.5		uA
		3V	LVR=EN WDT=DIS		8.5		uA
V_{IL}	低电平输入电压	-	----	-	-	0.3VDD	V
V_{IH}	高电平输入电压	-	----	0.7VDD	-	-	V
V_{OH}	高电平输出电压	-	不带负载	0.9VDD	-	-	V
V_{OL}	低电平输出电压	-	不带负载	-	-	0.1VDD	V
V_{EEPROM}	EEPROM 模块工作电压	-	----	2.5	-	5.5	V
R_{PH}	上拉电阻阻值	5V	V_O=0.5VDD	-	32	-	KΩ
		3V	V_O=0.5VDD	-	56	-	KΩ
R_{PD}	下拉电阻阻值	5V	V_O=0.5VDD	-	35	-	KΩ
		3V	V_O=0.5VDD	-	60	-	KΩ
I_{OL1}	输出口灌电流 普通 I/O 口	5V	V_{OL}=0.3VDD	-	47	-	mA
		3V	V_{OL}=0.3VDD	-	23	-	mA
I_{OL2}	输出口灌电流 大电流驱动口	5V	V_{OL}=0.3VDD	-	68	-	mA
		3V	V_{OL}=0.3VDD	-	29	-	mA
I_{OH1}	输出口拉电流 普通 I/O 口	5V	V_{OH}=0.7VDD	-	-20	-	mA
		3V	V_{OH}=0.7VDD	-	-8	-	mA
I_{OH2}	输出口拉电流 大电流驱动口	5V	V_{OH}=0.7VDD	-	-70	-	mA
		3V	V_{OH}=0.7VDD	-	-35	-	mA
V_{BG}	内部基准电压 0.6V	VDD=2.5~5.5V TA=25℃		-1.5%	0.6	1.5%	V
		VDD=2.5~5.5V TA=-40~85℃		-2.0%	0.6	2.0%	V

22.3 ADC 电气特性

（T_A= 25℃，除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{ADC}	ADC 工作电压	V_{ADREF}= VDD,F_{ADCCLK}=1MHz	3.0		5.5	V
		V_{ADREF}= VDD,F_{ADCCLK}=500kHz	2.5		5.5	V
		V_{ADREF}=2.0V,F_{ADCCLK}=250kHz	2.5		5.5	V
		V_{ADREF}=2.4V,F_{ADCCLK}=250kHz	2.6		5.5	V
		V_{ADREF}=3.0V,F_{ADCCLK}=500kHz	3.3		5.5	V
I_{ADC}	ADC 转换电流	V_{ADC}=5V,V_{ADREF}= VDD, F_{ADCCLK}=500kHz			500	uA
		V_{ADC} =3V,V_{ADREF}= VDD, F_{ADCCLK}=500kHz			200	uA
V_{AIN}	ADC 输入电压	V_{ADC}=5V, V_{ADREF} = VDD, F_{ADCCLK}=500kHz	0		V_{ADC}	V
DNL1	微分非线性误差	V_{ADC}=5V, V_{ADREF} = VDD, F_{ADCCLK}=1MHz			±2	LSB
INL1	积分非线性误差	V_{ADC}=5V, V_{ADREF} = VDD, F_{ADCCLK}=1MHz			±2	LSB
DNL2	微分非线性误差	V_{ADC}=5V, V_{ADREF} = 3.0V, F_{ADCCLK}=500kHz,V_{AIN}<1V			±3	LSB
INL2	积分非线性误差	V_{ADC}=5V, V_{ADREF} = 3.0V, F_{ADCCLK}=500kHz,V_{AIN}<1V			±3	LSB
DNL3	微分非线性误差	V_{ADC}=5V, V_{ADREF} = 2.4V, F_{ADCCLK}=250kHz,V_{AIN}<0.8V			±3	LSB
INL3	积分非线性误差	V_{ADC}=5V, V_{ADREF} = 2.4V, F_{ADCCLK}=250kHz,V_{AIN}<0.8V			±3	LSB
DNL4	微分非线性误差	V_{ADC}=5V, V_{ADREF} = 2.0V, F_{ADCCLK}=250kHz,V_{AIN}<0.7V			±3	LSB
INL4	积分非线性误差	V_{ADC}=5V, V_{ADREF} = 2.0V, F_{ADCCLK}=250kHz,V_{AIN}<0.7V			±3	LSB
T_{ADC}	ADC 转换时间			16		T_{ADCCLK}

22.4 ADC 内部 LDO 参考电压特性

（T_A= 25℃，除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{ADREF1}	LDO_OUT=2.0V 电压温度特性	VDD=5V TA=25℃	-0.6%	2.0	+0.6%	V
		VDD=2.5~5.5V T_A=25℃	-1.0%	2.0	+1.0%	V
		VDD=2.5~5.5V T_A=-40℃~85℃	-1.5%	2.0	+1.5%	V
V_{ADREF2}	LDO_OUT=2.4V 电压温度特性	VDD=5V T_A=25℃	-0.6%	2.4	+0.6%	V
		VDD=2.7~5.5V T_A=25℃	-1.0%	2.4	+1.0%	V
		VDD=2.7~5.5V T_A=-40℃~85℃	-1.5%	2.4	+1.5%	V
V_{ADREF3}	LDO_OUT=3.0V 电压温度特性	VDD=5V T_A=25℃	-0.6%	3.0	+0.6%	V
		VDD=3.5~5.5V T_A=25℃	-1.0%	3.0	+1.0%	V
		VDD=3.5~5.5V T_A=-40℃~85℃	-1.5%	3.0	+1.5%	V

22.5 OPA 电气特性

（T_A= 25℃，除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
DC 电气特性						
VDD	工作电压	VDD=2.5~5.5V	2.5		5.5	V
I_{DD}	静态电流	VDD=5.0V		380		uA
V_{OPOS}	输入失调电压	默认值 VDD=5V VCM=1V	-20		20	mV
		调零后 VDD=5V VCM=1V	-5		5	mV
VCM	共模电压范围		0		VDD-1.5V	V
PSRR	电源电压抑制比*		60	70		dB
CMRR	共模抑制比*	VDD=5V VCM=0~VDD-1.5V	90	100		dB
AC 电气特性						
AOL	开环增益*		90	100		dB
GBW	增益带宽*	RL=1MΩ，CL=100Pf	1.5	2		MHz

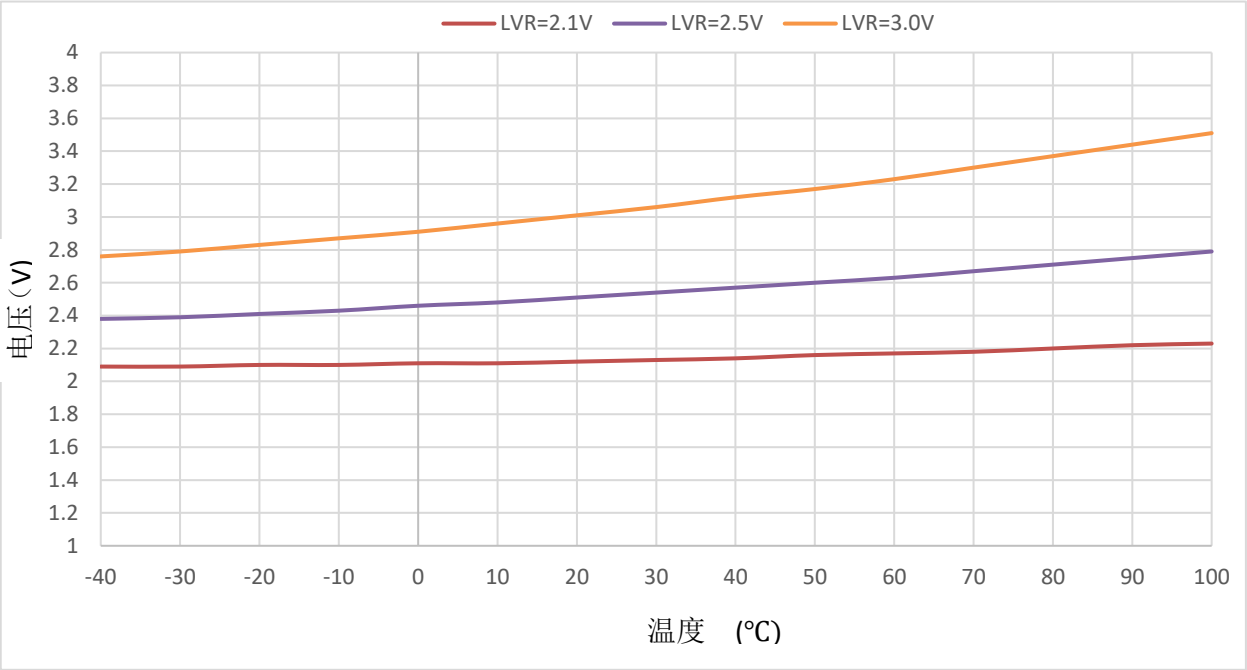
*表示由设计保证，未批量测试。

22.6 LVR 电气特性

（T_A= 25˚C，除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{LVR1}	LVR 设定电压=2.1V	VDD=1.8~5.5V	2.0	2.1	2.2	V
V_{LVR2}	LVR 设定电压=2.5V	VDD=2.2~5.5V	2.4	2.5	2.6	V
V_{LVR3}	LVR 设定电压=3.0V	VDD=2.8~5.5V	2.9	3.0	3.1	V

LVR 温度特性曲线



22.7 LVD 电气特性

（TA= 25˚C，除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{LVD}	工作电压	-	2.1		5.5	V
	精度	VDD=2.1~5.5V， T_A=-40~85˚C	-5%	V_{SET}	+5%	V

22.8 交流电气特性

（T_A= 25℃，除非另有说明）

符号	参数	测试条件		最小值	典型值	最大值	单位
		VDD	条件				
T_{WDT}	WDT 复位时间	5V	-		16		ms
		3V	-		16		ms
T_{EEPROM}	EEPROM 编程时间	5V	F_{HSI}=8MHz		4.6	5	ms
		3V	F_{HSI}=8MHz		4.6	5	ms
		5V	F_{HSI}=16MHz		4.6	5	ms
		3V	F_{HSI}=16MHz		4.6	5	ms
F_{RC}	内振频率稳定性	VDD=4.0~5.5V	T_A=25℃	-1.50%	8	1.50%	MHz
		VDD=2.1~5.5V	T_A=25℃	-2.00%	8	2.00%	MHz
		VDD=4.0~5.5V	T_A=-40~85℃	-2.50%	8	2.50%	MHz
		VDD=2.1~5.5V	T_A=-40~85℃	-3.50%	8	3.50%	MHz
		VDD=4.0~5.5V	T_A=25℃	-1.50%	16	1.50%	MHz
		VDD=2.5~5.5V	T_A=25℃	-2.00%	16	2.00%	MHz
		VDD=4.0~5.5V	T_A=-40~85℃	-2.50%	16	2.50%	MHz
		VDD=2.5~5.5V	T_A=-40~85℃	-3.50%	16	3.50%	MHz

22.9 EMC 特性

22.9.1 EFT 电气特性

符号	参数	测试条件	等级
V_{EFTB}	Fast transient voltage burst limits to beapplied through 0.1uF(capacitance) on VDDand VSSpins to induce a functional disturbance	T_A = + 25℃, F_{SYS}=8MHz, conforms to IEC 61000-4-4	4

注：电快速瞬变脉冲群（EFT）抗扰度性能与系统设计（包括电源结构、电路设计、布局布线、芯片配置、程序结构等）密切相关。上述表格中的 EFT 参数是在 CMS 内部测试平台上所测得的结果，并非适用于所有应用环境，该测试数据仅作为参考。系统设计各方面均可能会对 EFT 性能造成影响，在 EFT 性能要求较高的应用中，设计时应注意尽量避免干扰源影响系统运行，建议分析干扰路径及优化设计以达到最佳的抗扰性能。

22.9.2 ESD 电气特性

符号	参数	测试条件	等级
V_{ESD}	静电放电 (人体放电模式HBM)	T_A = + 25℃, JEDEC EIA/JESD22- A114	2
	静电放电 (机器放电模式MM)	T_A = + 25℃, JEDEC EIA/JESD22- A115	B

22.9.3 Latch-Up 电气特性

符号	参数	测试条件	测试类型
LU	Static latch-up class	JEDEC STANDARD NO.78D NOVEMBER 2011	Class I (T_A = +25℃)

23. 指令

23.1 指令一览表

助记符		操作	指令周期	标志
控制类-3				
NOP		空操作	1	None
STOP		进入休眠模式	1	TO,PD
CLRWDT		清零看门狗计数器	1	TO,PD
数据传送-4				
LD	[R],A	将 ACC 内容传送到 R	1	NONE
LD	A,[R]	将 R 内容传送到 ACC	1	Z
TESTZ	[R]	将数据存储器内容传给数据存储器	1	Z
LDIA	i	立即数 i 送给 ACC	1	NONE
逻辑运算-16				
CLRA		清零 ACC	1	Z
SET	[R]	置位数据存储器 R	1	NONE
CLR	[R]	清零数据存储器 R	1	Z
ORA	[R]	R 与 ACC 内容做“或”运算，结果存入 ACC	1	Z
ORR	[R]	R 与 ACC 内容做“或”运算，结果存入 R	1	Z
ANDA	[R]	R 与 ACC 内容做“与”运算，结果存入 ACC	1	Z
ANDR	[R]	R 与 ACC 内容做“与”运算，结果存入 R	1	Z
XORA	[R]	R 与 ACC 内容做“异或”运算，结果存入 ACC	1	Z
XORR	[R]	R 与 ACC 内容做“异或”运算，结果存入 R	1	Z
SWAPA	[R]	R 寄存器内容的高低半字节转换，结果存入 ACC	1	NONE
SWAPR	[R]	R 寄存器内容的高低半字节转换，结果存入 R	1	NONE
COMA	[R]	R 寄存器内容取反，结果存入 ACC	1	Z
COMR	[R]	R 寄存器内容取反，结果存入 R	1	Z
XORIA	i	ACC 与立即数 i 做“异或”运算，结果存入 ACC	1	Z
ANDIA	i	ACC 与立即数 i 做“与”运算，结果存入 ACC	1	Z
ORIA	i	ACC 与立即数 i 做“或”运算，结果存入 ACC	1	Z
移位操作-8				
RRCA	[R]	数据存储器带进位循环右移一位，结果存入 ACC	1	C
RRCR	[R]	数据存储器带进位循环右移一位，结果存入 R	1	C
RLCA	[R]	数据存储器带进位循环左移一位，结果存入 ACC	1	C
RLCR	[R]	数据存储器带进位循环左移一位，结果存入 R	1	C
RLA	[R]	数据存储器不带进位循环左移一位，结果存入 ACC	1	NONE
RLR	[R]	数据存储器不带进位循环左移一位，结果存入 R	1	NONE
RRA	[R]	数据存储器不带进位循环右移一位，结果存入 ACC	1	NONE
RRR	[R]	数据存储器不带进位循环右移一位，结果存入 R	1	NONE
递增递减-4				
INCA	[R]	递增数据存储器 R，结果放入 ACC	1	Z
INCR	[R]	递增数据存储器 R，结果放入 R	1	Z
DECA	[R]	递减数据存储器 R，结果放入 ACC	1	Z
DECR	[R]	递减数据存储器 R，结果放入 R	1	Z

助记符		操作	指令周期	标志
位操作-2				
CLRB	[R],b	将数据存储器 R 中某位清零	1	NONE
SETB	[R],b	将数据存储器 R 中某位置一	1	NONE
查表				
TABLE	[R]	读取 ROM 内容结果放入 TABLE_DATAH 与 R	2	NONE
TABLEA		读取 ROM 内容结果放入 TABLE_DATAH 与 ACC	2	NONE
数学运算-16				
ADDA	[R]	ACC+[R]→ACC	1	C,DC,Z,OV
ADDR	[R]	ACC+[R]→R	1	C,DC,Z,OV
ADDCA	[R]	ACC+[R]+C→ACC	1	Z,C,DC,OV
ADDCR	[R]	ACC+[R]+C→R	1	Z,C,DC,OV
ADDIA	i	ACC+i→ACC	1	Z,C,DC,OV
SUBA	[R]	[R]-ACC→ACC	1	C,DC,Z,OV
SUBR	[R]	[R]-ACC→R	1	C,DC,Z,OV
SUBCA	[R]	[R]-ACC-C→ACC	1	Z,C,DC,OV
SUBCR	[R]	[R]-ACC-C→R	1	Z,C,DC,OV
SUBIA	i	i-ACC→ACC	1	Z,C,DC,OV
HSUBA	[R]	ACC-[R]→ACC	1	Z,C,DC,OV
HSUBR	[R]	ACC-[R]→R	1	Z,C,DC,OV
HSUBCA	[R]	ACC-[R]- $\overline{C}$ →ACC	1	Z,C,DC,OV
HSUBCR	[R]	ACC-[R]- $\overline{C}$ →R	1	Z,C,DC,OV
HSUBIA	i	ACC-i→ACC	1	Z,C,DC,OV
无条件转移-5				
RET		从子程序返回	2	NONE
RET	i	从子程序返回，并将立即数 I 存入 ACC	2	NONE
RETI		从中断返回	2	NONE
CALL	ADD	子程序调用	2	NONE
JP	ADD	无条件跳转	2	NONE
条件转移-8				
SZB	[R],b	如果数据存储器 R 的 b 位为“0”，则跳过下一条指令	1 or 2	NONE
SNZB	[R],b	如果数据存储器 R 的 b 位为“1”，则跳过下一条指令	1 or 2	NONE
SZA	[R]	数据存储器 R 送至 ACC，若内容为“0”，则跳过下一条指令	1 or 2	NONE
SZR	[R]	数据存储器 R 内容为“0”，则跳过下一条指令	1 or 2	NONE
SZINCA	[R]	数据存储器 R 加“1”，结果放入 ACC，若结果为“0”，则跳过下一条指令	1 or 2	NONE
SZINCR	[R]	数据存储器 R 加“1”，结果放入 R，若结果为“0”，则跳过下一条指令	1 or 2	NONE
SZDECA	[R]	数据存储器 R 减“1”，结果放入 ACC，若结果为“0”，则跳过下一条指令	1 or 2	NONE
SZDECR	[R]	数据存储器 R 减“1”，结果放入 R，若结果为“0”，则跳过下一条指令	1 or 2	NONE

23.2 指令说明

ADDA **[R]**

操作: 将 R 加 ACC，结果放入 ACC

周期: 1

影响标志位: C，DC，Z，OV

举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;将 ACC 的值（09H）赋给自定义寄存器 R01
LDIA    077H    ;给 ACC 赋值 77H
ADDA    R01     ;执行结果：ACC=09H + 77H =80H
```

ADDR **[R]**

操作: 将 R 加 ACC，结果放入 R

周期: 1

影响标志位: C，DC，Z，OV

举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;将 ACC 的值（09H）赋给自定义寄存器 R01
LDIA    077H    ;给 ACC 赋值 77H
ADDR    R01     ;执行结果：R01=09H + 77H =80H
```

ADDCA **[R]**

操作: 将 R 加 ACC 加 C 位，结果放入 ACC

周期: 1

影响标志位: C，DC，Z，OV

举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;将 ACC 的值（09H）赋给自定义寄存器 R01
LDIA    077H    ;给 ACC 赋值 77H
ADDCA   R01     ;执行结果：ACC= 09H + 77H + C=80H (C=0)
                           ACC= 09H + 77H + C=81H (C=1)
```

ADDCR **[R]**

操作: 将 R 加 ACC 加 C 位，结果放入 R

周期: 1

影响标志位: C，DC，Z，OV

举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;将 ACC 的值（09H）赋给自定义寄存器 R01
LDIA    077H    ;给 ACC 赋值 77H
ADDCR   R01     ;执行结果：R01 = 09H + 77H + C=80H (C=0)
                           R01 = 09H + 77H + C=81H (C=1)
```

ADDIA **i**

操作: 将立即数 i 加 ACC，结果放入 ACC

周期: 1

影响标志位: C，DC，Z，OV

举例:

```
LDIA    09H     ;给 ACC 赋值 09H
ADDIA   077H    ;执行结果：ACC = ACC(09H) + i(77H)=80H
```

ANDA **[R]**

操作: 寄存器 R 和 ACC 进行逻辑与运算，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0FH     ;给 ACC 赋值 0FH
LD      R01,A   ;将 ACC 的值(0FH)赋给寄存器 R01
LDIA    77H     ;给 ACC 赋值 77H
ANDA    R01     ;执行结果：ACC=(0FH  and  77H)=07H
```

ANDR **[R]**

操作: 寄存器 R 和 ACC 进行逻辑与运算，结果放入 R

周期: 1

影响标志位: Z

举例:

```
LDIA    0FH     ;给 ACC 赋值 0FH
LD      R01,A   ;将 ACC 的值(0FH)赋给寄存器 R01
LDIA    77H     ;给 ACC 赋值 77H
ANDR    R01     ;执行结果：R01=(0FH  and  77H)=07H
```

ANDIA **i**

操作: 将立即数 i 与 ACC 进行逻辑与运算，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0FH     ;给 ACC 赋值 0FH
ANDIA   77H     ;执行结果：ACC =(0FH  and  77H)=07H
```

CALL **add**

操作: 调用子程序

周期: 2

影响标志位: 无

举例:

```
CALL    LOOP    ;调用名称定义为"LOOP"的子程序地址
```

CLRA

操作: ACC 清零

周期: 1

影响标志位: Z

举例:

```
CLRA                    ;执行结果：ACC=0
```

CLR [R]

操作: 寄存器 R 清零

周期: 1

影响标志位: Z

举例:

```
CLR     R01             ;执行结果：R01=0
```

CLRB [R],b

操作: 寄存器 R 的第 b 位清零

周期: 1

影响标志位: 无

举例:

```
CLRB    R01,3           ;执行结果：R01 的第 3 位为零
```

CLRWDT

操作: 清零看门狗计数器

周期: 1

影响标志位: TO，PD

举例:

```
CLRWDT                  ;看门狗计数器清零
```

COMA [R]

操作: 寄存器 R 取反，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH             ;ACC 赋值 0AH
LD      R01,A           ;将 ACC 的值(0AH)赋给寄存器 R01
COMA    R01             ;执行结果：ACC=0F5H
```

COMR **[R]**

操作: 寄存器 R 取反，结果放入 R

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
COMR    R01     ;执行结果：R01=0F5H
```

DECA **[R]**

操作: 寄存器 R 自减 1，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
DECA    R01     ;执行结果：ACC=(0AH-1)=09H
```

DECR **[R]**

操作: 寄存器 R 自减 1，结果放入 R

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
DECR    R01     ;执行结果：R01=(0AH-1)=09H
```

HSUBA **[R]**

操作: ACC 减 R，结果放入 ACC

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    077H    ;ACC 赋值 077H
LD      R01,A   ;将 ACC 的值(077H)赋给寄存器 R01
LDIA    080H    ;ACC 赋值 080H
HSUBA   R01     ;执行结果：ACC=(80H-77H)=09H
```

HSUBR **[R]**

操作: ACC 减 R，结果放入 R

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    077H    ;ACC 赋值 077H
LD      R01,A   ;将 ACC 的值(077H)赋给寄存器 R01
LDIA    080H    ;ACC 赋值 080H
HSUBR   R01     ;执行结果：R01=(80H-77H)=09H
```

HSUBCA **[R]**

操作: ACC 减 R 减 C，结果放入 ACC

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    077H    ;ACC 赋值 077H
LD      R01,A   ;将 ACC 的值(077H)赋给寄存器 R01
LDIA    080H    ;ACC 赋值 080H
HSUBCA  R01     ;执行结果：ACC=(80H-77H-C)=09H(C=0)
                           ACC=(80H-77H-C)=08H(C=1)
```

HSUBCR **[R]**

操作: ACC 减 R 减 C，结果放入 R

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    077H    ;ACC 赋值 077H
LD      R01,A   ;将 ACC 的值(077H)赋给寄存器 R01
LDIA    080H    ;ACC 赋值 080H
HSUBC   R01     ;执行结果：R01=(80H-77H-C)=09H(C=0)
R                          R01=(80H-77H-C)=08H(C=1)
```

INCA **[R]**

操作: 寄存器 R 自加 1，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
INCA    R01     ;执行结果：ACC=(0AH+1)=0BH
```

INCR **[R]**
操作: 寄存器 R 自加 1，结果放入 R
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;将 ACC 的值(0AH)赋给寄存器 R01
INCR    R01     ;执行结果：R01=(0AH+1)=0BH
```

JP **add**
操作: 跳转到 add 地址
周期: 2
影响标志位: 无
举例:

```
JP      LOOP    ;跳转至名称定义为"LOOP"的子程序地址
```

LD **A,[R]**
操作: 将 R 的值赋给 ACC
周期: 1
影响标志位: Z
举例:

```
LD      A,R01   ;将寄存器 R0 的值赋给 ACC
LD      R02,A   ;将 ACC 的值赋给寄存器 R02，实现了数据从 R01→R02 的移动
```

LD **[R],A**
操作: 将 ACC 的值赋给 R
周期: 1
影响标志位: 无
举例:

```
LDIA    09H     ;给 ACC 赋值 09H
LD      R01,A   ;执行结果：R01=09H
```

LDIA **i**
操作: 立即数 i 赋给 ACC
周期: 1
影响标志位: 无
举例:

```
LDIA    0AH     ;ACC 赋值 0AH
```

NOP

操作: 空指令
周期: 1
影响标志位: 无
举例:

```
NOP
NOP
```

ORIA i

操作: 立即数与 ACC 进行逻辑或操作，结果赋给 ACC
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH     ;ACC 赋值 0AH
ORIA    030H    ;执行结果：ACC =(0AH  or  30H)=3AH
```

ORA [R]

操作: 寄存器 R 跟 ACC 进行逻辑或运算，结果放入 ACC
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH     ;给 ACC 赋值 0AH
LD      R01,A   ;将 ACC(0AH)赋给寄存器 R01
LDIA    30H     ;给 ACC 赋值 30H
ORA     R01     ;执行结果：ACC=(0AH  or  30H)=3AH
```

ORR [R]

操作: 寄存器 R 跟 ACC 进行逻辑或运算，结果放入 R
周期: 1
影响标志位: Z
举例:

```
LDIA    0AH     ;给 ACC 赋值 0AH
LD      R01,A   ;将 ACC(0AH)赋给寄存器 R01
LDIA    30H     ;给 ACC 赋值 30H
ORR     R01     ;执行结果：R01=(0AH  or  30H)=3AH
```

RET

操作: 从子程序返回

周期: 2

影响标志位: 无

举例:

```
        CALL    LOOP        ;调用子程序 LOOP
        NOP                 ;RET 指令返回后将执行这条语句
        …                   ;其它程序
LOOP:
        …                   ;子程序
        RET                 ;子程序返回
```

RET i

操作: 从子程序带参数返回，参数放入 ACC

周期: 2

影响标志位: 无

举例:

```
        CALL    LOOP        ;调用子程序 LOOP
        NOP                 ;RET 指令返回后将执行这条语句
        …                   ;其它程序
LOOP:
        …                   ;子程序
        RET     35H         ;子程序返回,ACC=35H
```

RETI

操作: 中断返回

周期: 2

影响标志位: 无

举例:

```
INT_START                   ;中断程序入口
        …                   ;中断处理程序
        RETI                ;中断返回
```

RLCA [R]

操作: 寄存器 R 带 C 循环左移一位，结果放入 ACC

周期: 1

影响标志位: C

举例:

```
        LDIA    03H         ;ACC 赋值 03H
        LD      R01,A       ;ACC 值赋给 R01,R01=03H
        RLCA    R01         ;操作结果：ACC=06H(C=0);
                            ACC=07H(C=1)
                            C=0
```

RLCR **[R]**

操作: 寄存器 R 带 C 循环左移一位，结果放入 R

周期: 1

影响标志位: C

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RLCR    R01     ;操作结果：R01=06H(C=0);
                         R01=07H(C=1);
                         C=0
```

RLA **[R]**

操作: 寄存器 R 不带 C 循环左移一位，结果放入 ACC

周期: 1

影响标志位: 无

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RLA     R01     ;操作结果：ACC=06H
```

RLR **[R]**

操作: 寄存器 R 不带 C 循环左移一位，结果放入 R

周期: 1

影响标志位: 无

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RLR     R01     ;操作结果：R01=06H
```

RRCA **[R]**

操作: 寄存器 R 带 C 循环右移一位，结果放入 ACC

周期: 1

影响标志位: C

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RRCA    R01     ;操作结果：ACC=01H(C=0);
                         ACC=081H(C=1);
                         C=1
```

RRCR **[R]**

操作: 寄存器 R 带 C 循环右移一位，结果放入 R

周期: 1

影响标志位: C

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RRCR    R01     ;操作结果：R01=01H(C=0);
                 R01=81H(C=1);
                 C=1
```

RRA **[R]**

操作: 寄存器 R 不带 C 循环右移一位，结果放入 ACC

周期: 1

影响标志位: 无

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RRA     R01     ;操作结果：ACC=81H
```

RRR **[R]**

操作: 寄存器 R 不带 C 循环右移一位，结果放入 R

周期: 1

影响标志位: 无

举例:

```
LDIA    03H     ;ACC 赋值 03H
LD      R01,A   ;ACC 值赋给 R01,R01=03H
RRR     R01     ;操作结果：R01=81H
```

SET **[R]**

操作: 寄存器 R 所有位置 1

周期: 1

影响标志位: 无

举例:

```
SET     R01     ;操作结果：R01=0FFH
```

SETB **[R],b**

操作: 寄存器 R 的第 b 位置 1

周期: 1

影响标志位: 无

举例:

```
CLR     R01     ;R01=0
SETB    R01,3   ;操作结果：R01=08H
```

STOP

操作: 进入休眠状态

周期: 1

影响标志位: TO，PD

举例:

```
STOP                    ;芯片进入省电模式，CPU、振荡器停止工作，IO 口保持原来状态
```

SUBIA i

操作: 立即数 i 减 ACC，结果放入 ACC

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    077H            ;ACC 赋值 77H
SUBIA   80H             ;操作结果：ACC=80H-77H=09H
```

SUBA [R]

操作: 寄存器 R 减 ACC，结果放入 ACC

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    080H            ;ACC 赋值 80H
LD      R01,A           ;ACC 的值赋给 R01，R01=80H
LDIA    77H             ;ACC 赋值 77H
SUBA    R01             ;操作结果：ACC=80H-77H=09H
```

SUBR [R]

操作: 寄存器 R 减 ACC，结果放入 R

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    080H            ;ACC 赋值 80H
LD      R01,A           ;ACC 的值赋给 R01，R01=80H
LDIA    77H             ;ACC 赋值 77H
SUBR    R01             ;操作结果：R01=80H-77H=09H
```

SUBCA **[R]**

操作: 寄存器 R 减 ACC 减 C，结果放入 ACC

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    080H    ;ACC 赋值 80H
LD      R01,A   ;ACC 的值赋给 R01，R01=80H
LDIA    77H     ;ACC 赋值 77H
SUBCA   R01     ;操作结果：ACC=80H-77H-C=09H(C=0);
                         ACC=80H-77H-C=08H(C=1);
```

SUBCR **[R]**

操作: 寄存器 R 减 ACC 减 C，结果放入 R

周期: 1

影响标志位: C,DC,Z,OV

举例:

```
LDIA    080H    ;ACC 赋值 80H
LD      R01,A   ;ACC 的值赋给 R01，R01=80H
LDIA    77H     ;ACC 赋值 77H
SUBCR   R01     ;操作结果：R01=80H-77H-C=09H(C=0)
                         R01=80H-77H-C=08H(C=1)
```

SWAPA **[R]**

操作: 寄存器 R 高低半字节交换，结果放入 ACC

周期: 1

影响标志位: 无

举例:

```
LDIA    035H    ;ACC 赋值 35H
LD      R01,A   ;ACC 的值赋给 R01，R01=35H
SWAPA   R01     ;操作结果：ACC=53H
```

SWAPR **[R]**

操作: 寄存器 R 高低半字节交换，结果放入 R

周期: 1

影响标志位: 无

举例:

```
LDIA    035H    ;ACC 赋值 35H
LD      R01,A   ;ACC 的值赋给 R01，R01=35H
SWAPR   R01     ;操作结果：R01=53H
```

SZB **[R],b**

操作: 判断寄存器 R 的第 b 位，为 0 间跳，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZB     R01,3     ;判断寄存器 R01 的第 3 位
JP      LOOP      ;R01 的第 3 位为 1 才执行这条语句，跳转至 LOOP
JP      LOOP1     ;R01 的第 3 位为 0 时间跳，执行这条语句，跳转至 LOOP1
```

SNZB **[R],b**

操作: 判断寄存器 R 的第 b 位，为 1 间跳，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SNZB    R01,3     ;判断寄存器 R01 的第 3 位
JP      LOOP      ;R01 的第 3 位为 0 才执行这条语句，跳转至 LOOP
JP      LOOP1     ;R01 的第 3 位为 1 时间跳，执行这条语句，跳转至 LOOP1
```

SZA **[R]**

操作: 将寄存器 R 的值赋给 ACC，若 R 为 0 则间跳，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZA     R01       ;R01→ACC
JP      LOOP      ;R01 不为 0 时执行这条语句，跳转至 LOOP
JP      LOOP1     ;R01 为 0 时间跳，执行这条语句，跳转至 LOOP1
```

SZR **[R]**

操作: 将寄存器 R 的值赋给 R，若 R 为 0 则间跳，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZR     R01       ;R01→R01
JP      LOOP      ;R01 不为 0 时执行这条语句，跳转至 LOOP
JP      LOOP1     ;R01 为 0 时间跳执行这条语句，跳转至 LOOP1
```

SZINCA **[R]**

操作: 将寄存器 R 自加 1，结果放入 ACC，若结果为 0，则跳过下一条语句，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZINCA    R01     ;R01+1→ACC
JP        LOOP    ;ACC 不为 0 时执行这条语句，跳转至 LOOP
JP        LOOP1   ;ACC 为 0 时执行这条语句，跳转至 LOOP1
```

SZINCR **[R]**

操作: 将寄存器 R 自加 1，结果放入 R，若结果为 0，则跳过下一条语句，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZINCR    R01     ;R01+1→R01
JP        LOOP    ; R01 不为 0 时执行这条语句，跳转至 LOOP
JP        LOOP1   ; R01 为 0 时执行这条语句，跳转至 LOOP1
```

SZDECA **[R]**

操作: 将寄存器 R 自减 1，结果放入 ACC，若结果为 0，则跳过下一条语句，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZDECA    R01     ;R01-1→ACC
JP        LOOP    ;ACC 不为 0 时执行这条语句，跳转至 LOOP
JP        LOOP1   ;ACC 为 0 时执行这条语句，跳转至 LOOP1
```

SZDECR **[R]**

操作: 将寄存器 R 自减 1，结果放入 R，若结果为 0，则跳过下一条语句，否则顺序执行

周期: 1 or 2

影响标志位: 无

举例:

```
SZDECR    R01     ;R01-1→R01
JP        LOOP    ; R01 不为 0 时执行这条语句，跳转至 LOOP
JP        LOOP1   ; R01 为 0 时执行这条语句，跳转至 LOOP1
```

TABLE **[R]**

操作: 查表，查表结果低 8 位放入 R，高位放入专用寄存器 TABLE_SPH

周期: 2

影响标志位: 无

举例:

```
LDIA      01H            ;ACC 赋值 01H
LD        TABLE_SPH,A    ;ACC 值赋给表格高位地址，TABLE_SPH=1
LDIA      015H           ;ACC 赋值 15H
LD        TABLE_SPL,A    ;ACC 值赋给表格地位地址，TABLE_SPL=15H
TABLE     R01            ;查表 0115H 地址，操作结果：TABLE_DATAH=12H，R01=34H
…
ORG       0115H
DW        1234H
```

TABLEA

操作: 查表，查表结果低 8 位放入 ACC，高位放入专用寄存器 TABLE_SPH

周期: 2

影响标志位: 无

举例:

```
LDIA      01H            ;ACC 赋值 01H
LD        TABLE_SPH,A    ;ACC 值赋给表格高位地址，TABLE_SPH=1
LDIA      015H           ;ACC 赋值 15H
LD        TABLE_SPL,A    ;ACC 值赋给表格地位地址，TABLE_SPL=15H
TABLEA                   ;查表 0115H 地址，操作结果：TABLE_DATAH=12H，ACC=34H
…
ORG       0115H
DW        1234H
```

TESTZ **[R]**

操作: 将 R 的值赋给 R,用以影响 Z 标志位

周期: 1

影响标志位: Z

举例:

```
TESTZ     R0             ;将寄存器 R0 的值赋给 R0，用于影响 Z 标志位
SZB       STATUS,Z       ;判断 Z 标志位，为 0 间跳
JP        Add1           ;当寄存器 R0 为 0 的时候跳转至地址 Add1
JP        Add2           ;当寄存器 R0 不为 0 的时候跳转至地址 Add2
```

XORIA **i**

操作: 立即数与 ACC 进行逻辑异或运算，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
XORIA   0FH     ;执行结果：ACC=05H
```

XORA **[R]**

操作: 寄存器 R 与 ACC 进行逻辑异或运算，结果放入 ACC

周期: 1

影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;ACC 值赋给 R01,R01=0AH
LDIA    0FH     ;ACC 赋值 0FH
XORA    R01     ;执行结果：ACC=05H
```

XORR **[R]**

操作: 寄存器 R 与 ACC 进行逻辑异或运算，结果放入 R

周期: 1

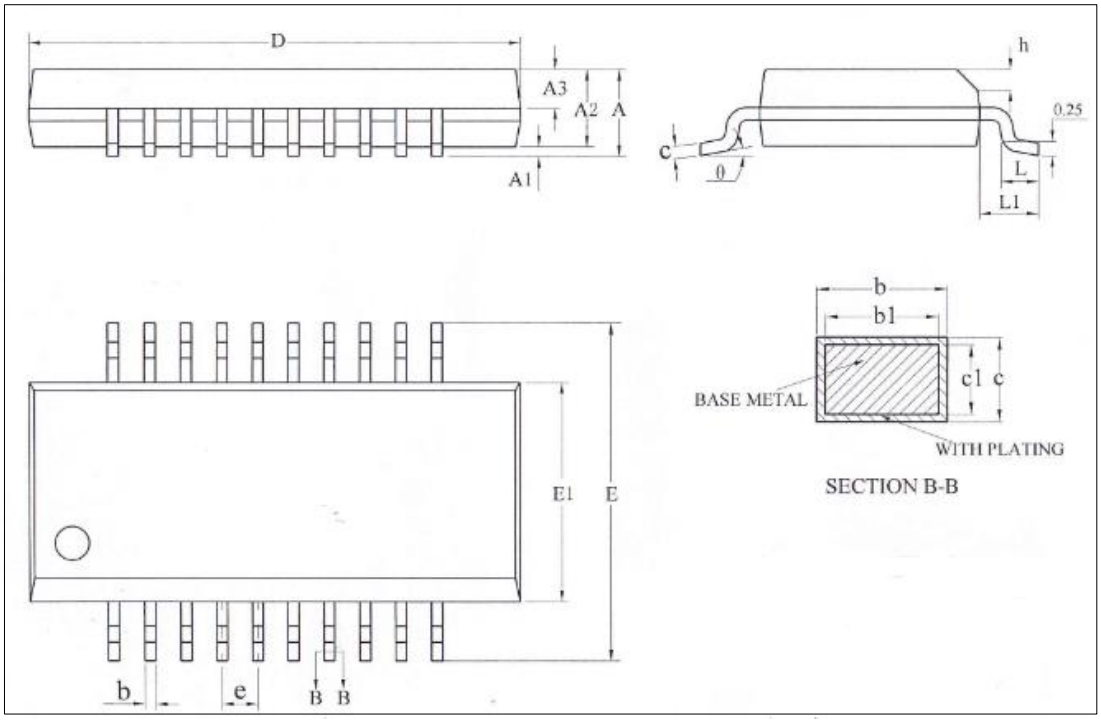
影响标志位: Z

举例:

```
LDIA    0AH     ;ACC 赋值 0AH
LD      R01,A   ;ACC 值赋给 R01,R01=0AH
LDIA    0FH     ;ACC 赋值 0FH
XORR    R01     ;执行结果：R01=05H
```

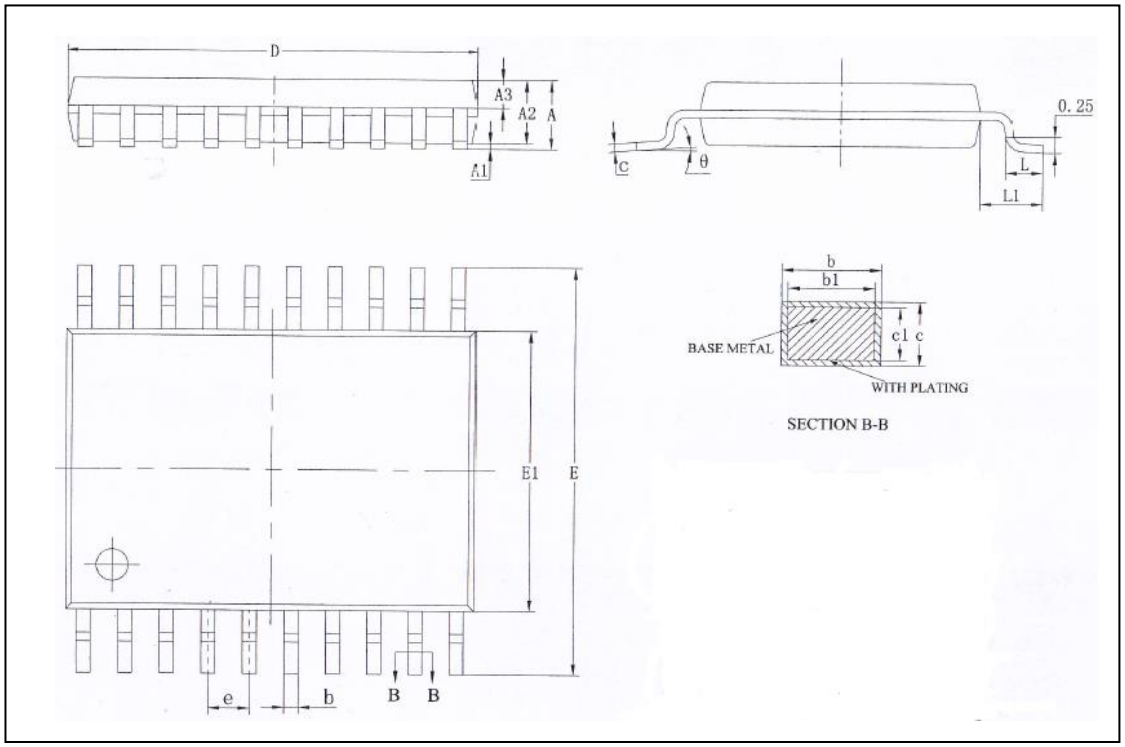
24. 封装

24.1 SSOP20



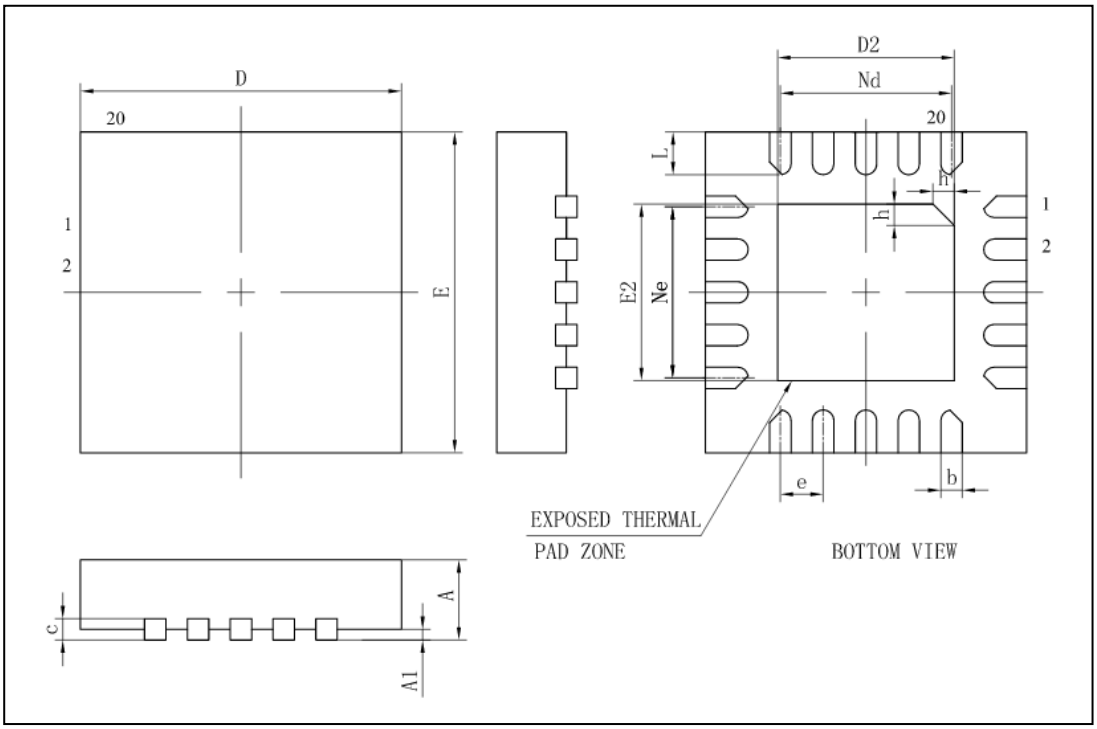
Symbol	Millimeter		
	Min	Nom	Max
A	-	-	1.75
A1	0.10	0.15	0.25
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.23	-	0.31
b1	0.22	0.25	0.28
c	0.20	-	0.24
c1	0.19	0.20	0.21
D	8.55	8.65	8.75
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	0.635BSC		
h	0.30	-	0.50
L	0.50	-	0.80
L1	1.05REF		
θ	0	-	8°

24.2 TSSOP20



Symbol	Millimeter		
	Min	Nom	Max
A	-	-	1.20
A1	0.05	-	0.15
A2	0.80	1.00	1.05
A3	0.39	0.44	0.49
b	0.20	-	0.28
b1	0.19	0.22	0.25
c	0.13	-	0.17
c1	0.12	0.13	0.14
D	6.40	6.50	6.60
E1	4.30	4.40	4.50
E	6.20	6.40	6.60
e	0.65BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	-	8°

24.3 QFN20



Symbol	Millimeter		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	-	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	2.90	3.00	3.10
D2	1.55	1.65	1.75
e	0.40BSC		
Ne	1.60BSC		
Nd	1.60BSC		
E	2.90	3.00	3.10
E2	1.55	1.65	1.75
L	0.35	0.40	0.45
h	0.20	0.25	0.30

25. 版本修订说明

版本号	时间	修改内容
V1.0	2021 年 1 月	初始版本
V1.1	2021 年 6 月	1. 订正数据存储器的寄存器描述 2. 订正 TMR2 寄存器和 PR2 寄存器的描述
V1.2	2021 年 8 月	1. 添加 SC8F6780 的芯片型号 2. 订正 ADC 内部 LDO 参考电压的描述
V1.3	2021 年 9 月	1. 增加触摸功能相关描述
V1.4	2021 年 9 月	1. 订正数据存储器章节中 CMP 控制寄存器名称
V1.5	2022 年 1 月	1. 订正 IIC 波特率计算公式 2. 增加 RB0/1/3/4 大电流驱动 3. 增加 PWM4 周期说明 4. 增加 BUZZER 模块使能配置选项 5. 订正 LVD 操作中的说明
V1.6	2022 年 2 月	1. 订正 PIR1 寄存器中的 RCIF 和 TXIF 为只读 2. 订正 PIR1 寄存器中的 TXIF 描述 3. 订正 USART 异步发送的图 18-3 和图 18-4 4. 订正各章节中的图注及编号
V1.7	2022 年 3 月	1. 订正 USART 章节中接收中断的描述 2. 订正 USART 中 RCSTA 寄存器中 FERR 为只读 3. 订正程序 EEPROM 章节描述 4. 增加 LVR 温度特性曲线
V1.8	2022 年 6 月	添加 22.9 EMC 特性
V1.9	2022 年 7 月	修改交流电气特性
V1.9.1	2023 年 4 月	1) 增加时钟框图 2) 订正内部高速振荡频率为 F_{HSI} 并根据时钟框图订正其他模块的时钟源 3) 订正休眠唤醒等待时间和 ADC 内部 LDO 参考电压特性表格 4) 给芯片引脚图的 RB2 RB3 增加 SDIO 功能 5) 订正 IO 口使用注意事项里的输入电平范围 6) 订正 TIMER2 的工作原理的部分描述和 TRM2 寄存器复位值 7) 订正 EEPROM 概述的部分描述 8) 更新 24.2 封装尺寸信息
V1.9.2	2023 年 4 月	1) 章节 1.1、1.4、22.2 中增加时钟指令 2T 选项内容 2) 更新 22.9EMC 特性
V1.9.3	2023 年 11 月	1) 订正 IOCC 寄存器描述 2) 更正封面有误内容